

**Corso di Calcolatori Elettronici I**  
**A.A. 2010-2011**

---

**Macchine combinatorie:  
 progettazione**

**Lezione 11 seconda parte**

**Prof. Roberto Canonico**



Università degli Studi di Napoli Federico II  
 Facoltà di Ingegneria  
 Corso di Laurea in Ingegneria Informatica (allievi A-DE+Q-Z)  
 Corso di Laurea in Ingegneria dell'Automazione

---

**Macchine combinatorie**

---

Reti logiche con  $n$  ingressi  $x_1, x_2, \dots, x_n$  e  $m$  uscite  $y_1, y_2, \dots, y_m$   
 che realizzano la corrispondenza:

$$y_1 = f_1(x_1, x_2, \dots, x_n)$$

.....

$$y_m = f_m(x_1, x_2, \dots, x_n)$$



## Macchine combinatorie (2)

---

- Una macchina combinatoria è una rete logica con  $n$  ingressi ( $x_1, x_2, \dots, x_n$ ) ed  $m$  uscite ( $y_1, y_2, \dots, y_m$ ) ed è tale che ad ogni insieme di valori degli ingressi corrisponde un preciso insieme di valori delle uscite
  - Il comportamento di una rete combinatoria  $n \times m$  può essere descritto tramite:
    - » una tabella di verità in cui viene specificato il valore dell'uscita per ognuna delle possibili combinazioni dei valori degli ingressi
    - »  $m$  funzioni booleane, una per ogni uscita, ciascuna delle quali esprime il valore della corrispondente variabile di uscita in funzione delle  $n$  variabili di ingresso
- 

## Macchine combinatorie (3)

---

- In una macchina combinatoria i valori delle uscite dipendono esclusivamente dai valori degli ingressi
    - macchina combinatoria ideale: tale dipendenza è istantanea
    - macchina combinatoria reale: presenza di ritardo tra l'istante in cui c'è una variazione in uno degli ingressi e l'istante in cui l'effetto di questa variazione si manifesta sulle uscite
  - E' importante notare come
    - ciascuna  $y_i$  può essere decomposta in funzioni componenti
    - due distinte  $y_i$  possono contenere una identica funzione componente
  - Ciò comporta, ad esempio, una potenziale diminuzione di porte elementari rispetto ad una realizzazione indipendente delle  $y_i$
-

## Macchine combinatorie (4)

---

---

- Mentre ad ogni rete combinatoria corrisponde un'unica tabella di verità, ad una tabella di verità possono corrispondere più reti combinatorie
  - Nel procedimento di sintesi ci possiamo quindi porre particolari obiettivi come ad esempio:
    - utilizzare esclusivamente circuiti elementari di un certo tipo
    - progettare un circuito che abbia il minimo numero di porte logiche
- 

## Ciclo di progettazione

---

---

- Comprensione e analisi della specifica semi-formale  
dalla descrizione verbale del funzionamento della rete si specificano gli elementi di contesto, di codifica, di errore, etc. eliminando ogni ambiguità e pervenendo ad una specifica semi-formale
  - Formalizzazione della specifica della rete  
la formalizzazione produce una tabella di verità che descrive la funzione di commutazione
  - Sintesi  
consiste nel passare dalla tabella di verità ad una espressione algebrica (una delle tante possibili) formale
  - Ottimizzazione  
consiste nel manipolare l'espressione algebrica alla luce di un criterio di qualità al fine di pervenire ad un'espressione equivalente ottima secondo il criterio prescelto
-

## Formalizzazione della specifica

Si realizzi una rete combinatoria dotata di un ingresso a tre bit  $X=\{x_0, x_1, x_2\}$  che rappresenta un numero intero nell'intervallo  $[0;6]$  in codifica binaria naturale. La rete deve essere in grado di discriminare i numeri pari dai numeri dispari.

- Dopo un'analisi della specifica verbale si ottiene la specifica semi informale seguente:
- si realizzi una rete combinatoria dotata di ingresso a tre bit  $X=\{x_0, x_1, x_2\}$  che rappresenta un numero intero nell'intervallo  $[0;6]$  in codifica binaria naturale. La rete è dotata di due uscite  $z$  ed  $e$ , di un bit ciascuno. L'uscita  $z$  indica se il valore in ingresso è pari ( $z=1$ ) o dispari ( $z=0$ ), mentre l'uscita  $e$  indica un errore ( $e=1$ ) oppure il funzionamento corretto ( $e=0$ ).

## Transcodificatore per visualizzatore a 7 segmenti

- Uno degli indicatori visivi più comuni è l'**indicatore a 7 segmenti**
- Ogni simbolo è formato da sette segmenti ognuno dei quali è un Led che può essere acceso da un segnale digitale.
- Un **BCD-To-Seven-Segment-Decoder** riceve in ingresso un simbolo decimale in BCD e genera l'appropriata uscita selezionando i segmenti che devono essere accesi per mostrare su display il simbolo decimale



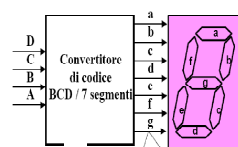
(a) Segment designation



(b) Numeric designation for display

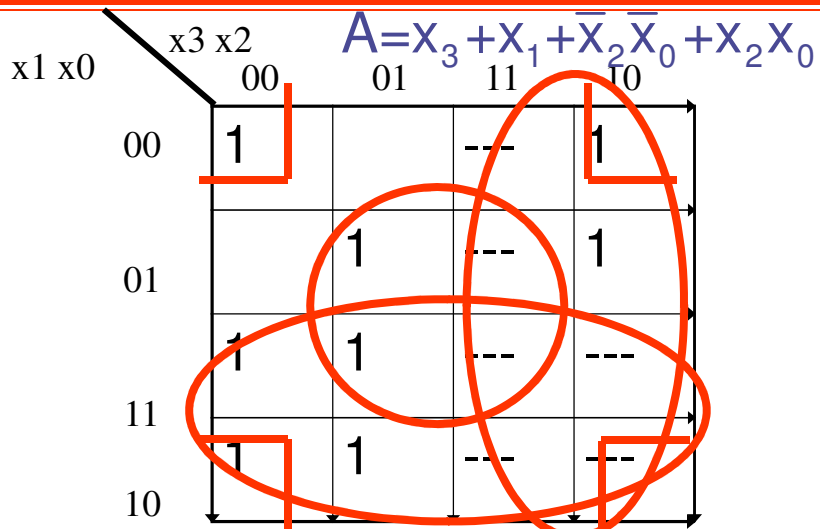
## Transcodificatore per visualizzatore a 7 segmenti

- Le 7 uscite le indichiamo con (a,b,c,d,e,f,g) selezionando i corrispondenti segmenti. Si hanno:
  - 4 input: x3 x2 x1 x0
  - 7 output: a b c d e f g
- La tabella di verità  $\Rightarrow$



BCD Input				Seven-Segment Decoder						
x3	x2	x1	x0	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
All other inputs				Don't Care						

## Mappa di Karnaugh di a



## Risultati (verificarli)

FUNZIONE DI USCITA	FORMA MINIMA
a	$X_3 + X_1 + \bar{X}_2 \bar{X}_0 + X_2 X_0$
b	$X_3 + \bar{X}_2 + \bar{X}_1 X_0 + X_1 X_0$
c	$X_2 + \bar{X}_1 + X_0$
d	$X_3 + \bar{X}_2 X_1 + X_2 \bar{X}_1 X_0 + \bar{X}_2 \bar{X}_0 + \bar{X}_0 X_1$
e	$\bar{X}_2 \bar{X}_0 + X_1 \bar{X}_0$
f	$X_3 + X_2 \bar{X}_1 + X_2 \bar{X}_0 + \bar{X}_1 \bar{X}_0$
g	$X_3 + X_2 + X_1$

## Transcodificatore BCD-eccesso3

A	B	C	D	w	x	y	z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	-	-	-	-
1	0	1	1	-	-	-	-
1	1	0	0	-	-	-	-
1	1	0	1	-	-	-	-
1	1	1	0	-	-	-	-
1	1	1	1	-	-	-	-

Tabella 3.3 - Tabella di decodifica da codice BCD a Eccesso 3. I trattini indicano condizioni di indifferenza.

## Transcodificatore BCD-eccesso3

