

Corso di Calcolatori Elettronici I A.A. 2010-2011

Flip flop RS fondamentale

Lezione 16

Prof. Roberto Canonico

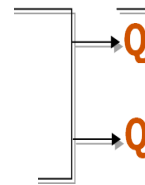


Università degli Studi di Napoli Federico II
Facoltà di Ingegneria
Corso di Laurea in Ingegneria Informatica (allievi A-DE+Q-Z)
Corso di Laurea in Ingegneria dell'Automazione

I flip flop - 1

Generalità

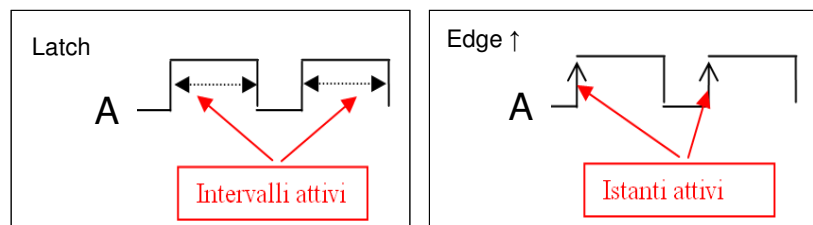
- Elementi fondamentali (semplici reti sequenziali)
 - per la memorizzazione
 - per la costituzione di registri
 - per la costruzione di reti sequenziali
- Memorizzano un bit avendo in uscita 2 stati stabili
 - *stato di SET*, o alto, o stato "1": $Q=1, \bar{Q}=0$;
 - *stato di RESET*, o basso, o stato "0": $Q=0, \bar{Q}=1$
- Hanno in ingresso diversi segnali da cui traggono il nome, p.e.
 - R,S; flip-flop RS
 - D; flip-flop D
 - T; J,K: flip-flop T, flip flop JK



I flip flop - 2

Tempificazione

- Flip-flop abilitato (o sincronizzato): possiede un segnale di ingresso, A, che ne abilita il funzionamento
- Un flip-flop abilitato può essere:
 - **Latch**: cattura gli ingressi sempre che sia A=attivo (p.e. A=1)
 - **Edge triggered**: cattura gli ingressi in corrispondenza di una variazione di A (fronte di salita: 0→1, o di disceso 1→0)



3

I flip flop - 3

Struttura

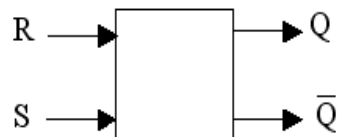
- Un Flip-flop è caratterizzato da.
 - **Struttura interna**, che può essere di una rete asincrona (vedi esempio di RS) o sincrona (vedi in seguito).
 - Una **equazione di stato**, che (al di là della struttura) indica l'uscita seguente in funzione dell'uscita precedente e degli ingressi.

I flip flop - 4

- Flip-flop
 - A memorizzazione dell'ingresso (RS, D)
 - A commutazione (T, JK)
 - Misti
-

Esempio: Flip-flop RS

- Memorizza un bit di informazione
- Ingressi impulsivi → mai alti contemporaneamente
 - **Vincolo $RS=0$**
 - Impulso su S (set) → $Q=1, !Q=0$
 - Impulso su R (reset) → $Q=0, !Q=1$
 - Per $R=S=0$ mantiene l'uscita precedente
- Escluse transizioni $RS = \dots \rightarrow 00 \rightarrow 01 \rightarrow 10 \rightarrow 00 \dots$ (altee multiple)



Flip flop RS fondamentale

Descrizione comportamento					
SR	uscita				
stati	00	01	11	10	Q
Q ₀	Q ₀	Q ₀	--	Q ₁	0
Q ₁	Q ₁	Q ₀	--	Q ₁	1

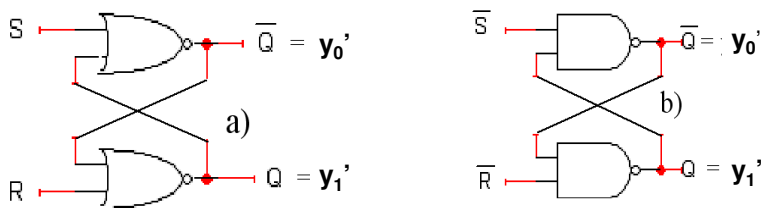
Dati tre ingressi R,S e Q_p

RS	Q _p			
Q _p	00	01	11	10
0		1	--	
1	1	1	--	

Equazione di stato

$$Q = S + Q_p \bar{R}$$

Flip-flop RS: analisi del funzionamento



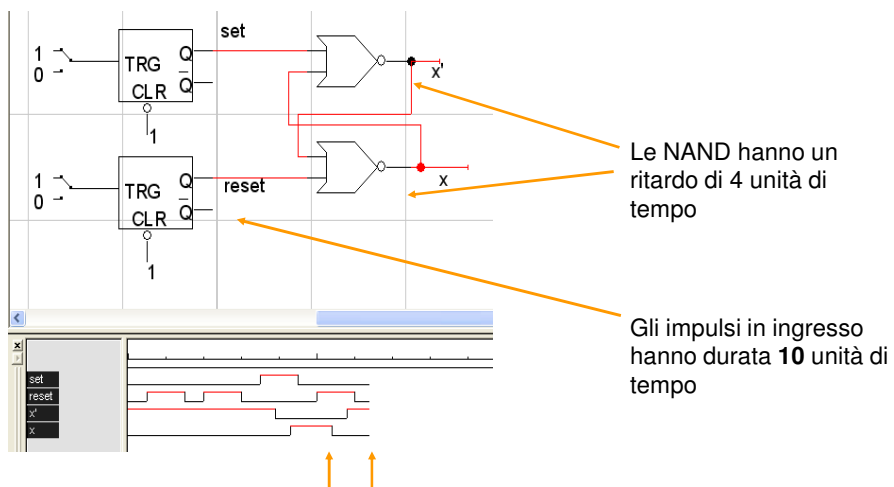
La fig. mostra la rete che realizza il flip-flop fondamentale RS in logica NOR (a) e NAND (b). Si noti preliminarmente che la rete è realizzata con 2 variabili di stato invece dell'unica che sarebbe possibile realizzando direttamente la equazione di stato. La realizzazione del flip flop in logica NOR (NAND) può facilmente ottenersi progettandolo come rete sequenziale asincrona in cui il passaggio dallo stato stabile 01 (10) allo stato stabile 10 (01) avviene attraverso lo stato instabile 00 (11).

Flip-flop RS: stati stabili e transizioni

RS

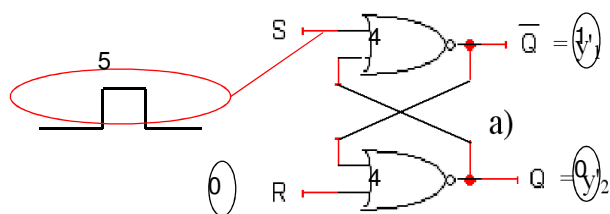
$y_0' y_1'$	00	01	11	10
10	10	00	00	10
00	11	01	00	10
01	01	01	00	00
11	00	00	00	00

Flip-flop RS: tempificare durata dell'input



Che succede per tempificazione errata?

- o Si parte da stato **10** sotto ingressi RS=00
- o Ritardo di porte = 4 unità di tempo τ
- o Input $d=5\tau$ (errore di progetto)



Tra 5τ e 8τ lo stato è **00**, sotto l'ingresso RS=00

La macchina comincia ad oscillare tra gli stati **00** e **11** sotto l'ingresso RS=00

Flip-flop RS: tempificare durata dell'input

RS = ...00 \rightarrow 01 \rightarrow 00...
 Stato = ...10 \rightarrow 00 \rightarrow .. \rightarrow 11 \rightarrow 00 \rightarrow 11 \rightarrow

La macchina non ha il tempo di spostarsi sul nuovo stato stabile

$y_0' y_1'$

	RS			
	00	01	11	10
10	10	00	00	10
00	11	01	00	10
01	01	01	00	00
11	00	00	00	00