

Corso di Calcolatori Elettronici I
A.A. 2010-2011

**Flip flop:
tempificazione latch ed
edge-triggered**

Lezione 17

Prof. Roberto Canonico

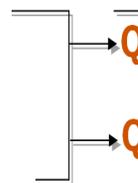


Università degli Studi di Napoli Federico II
Facoltà di Ingegneria
Corso di Laurea in Ingegneria Informatica (allievi A-DE+Q-Z)
Corso di Laurea in Ingegneria dell'Automazione

I flip flop

Generalità

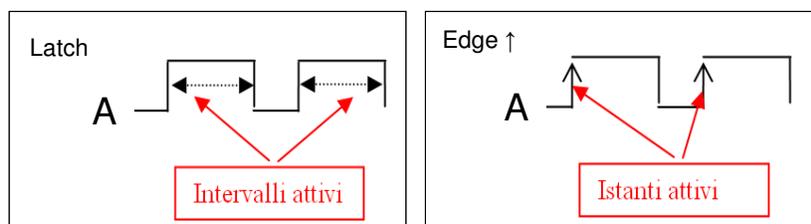
- Elementi fondamentali (semplici reti sequenziali)
 - per la memorizzazione
 - per la costituzione di registri
 - per la costruzione di reti sequenziali
- Memorizzano un bit avendo in uscita 2 stati stabili
 - *stato di SET*, o alto, o stato "1": $Q=1, \bar{Q}=0$;
 - *stato di RESET*, o basso, o stato "0": $Q=0, \bar{Q}=1$
- Hanno in ingresso diversi segnali da cui traggono il nome, p.e.
 - R,S; flip-flop RS
 - D; flip-flop D
 - T; J,K: flip-flop T, flip flop JK



I flip flop: tempificazione

Tempificazione

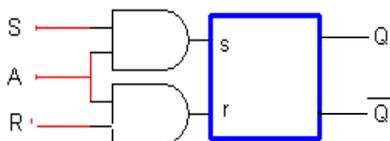
- Flip-flop abilitato (o sincronizzato): possiede un segnale di ingresso, A, che ne abilita il funzionamento
- Un flip-flop abilitato può essere:
 - **Latch**: cattura gli ingressi sempre che sia A=attivo (p.e. A=1)
 - **Edge triggered**: cattura gli ingressi in corrispondenza di una variazione di A (fronte di salita: 0→1, o di disceso 1→0)



3

Un RS abilitato con tempificazione latch

Possibile realizzazione di un flip-flop RS abilitato con tempificazione di tipo latch a partire da un RS asincrono



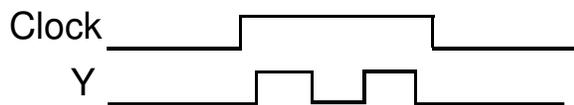
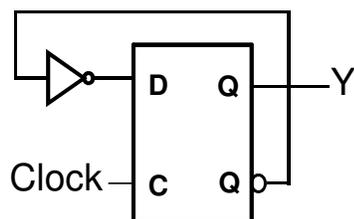
Tempificazione nel caricamento dei registri: latch

Con riferimento ai registri a sincronizzazione esterna, il modello fondamentale è anche detto di *registro latch*,

Un registro di tipo latch cattura l'ingresso-dati per tutto l'intervallo δ in cui è attivo il segnale di abilitazione s

Il registro fondamentale a sincronizzazione esterna può infatti funzionare anche nell'ipotesi di sequenza di ingresso non impulsiva: una variazione di stato può infatti avvenire anche mentre è $s=1$, in concomitanza con una variazione di D . Ad esempio (vedi tabella 5.3b), con la sequenza $n_1x_1x_2$ il registro raggiungerebbe l'uscita u_2 . Il segnale di abilitazione agisce, in tal caso, come livello abilitante nel senso che, durante tutto il tempo che è attivo, ogni variazione sugli ingressi D viene "catturata" e trasferita nel registro.

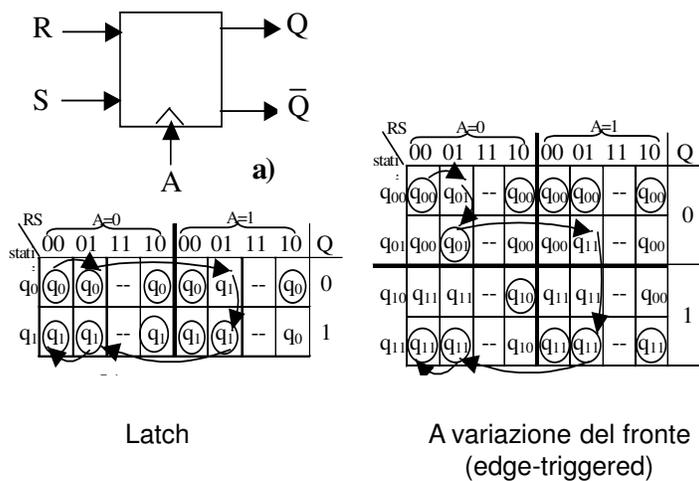
Problemi di tempificazione con i Latch



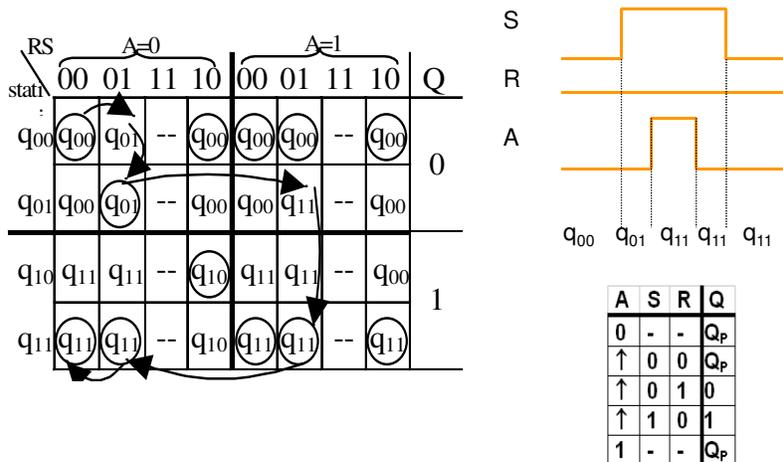
Tempificazione edge triggered

Un registro edge-triggered è uno sensibile alla variazione del segnale di abilitazione s piuttosto che ad un suo valore.

RS: sincronizzazione latch ed edge triggered



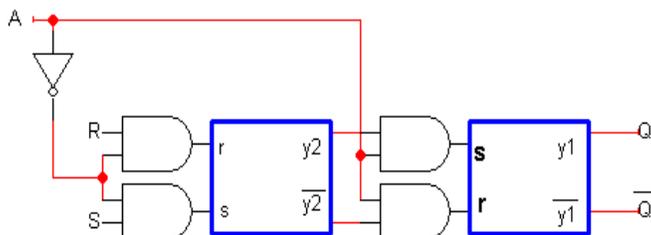
Un RS sincronizzato – edge-triggered



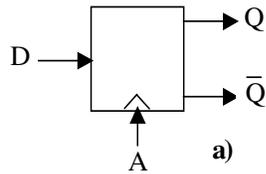
RS edge-triggered

Possibile realizzazione di un flip-flop RS sincronizzato edge-triggered sul fronte di salita:

- quando $A=0$, il latch di sinistra "cattura" il segnale su R o su S e
- appena A passa da 0 ad 1 (fronte di salita), $y2$ è ricopiato in $y1=Q$ mentre gli ingressi del latch di sinistra restano neutri lasciandolo bloccato



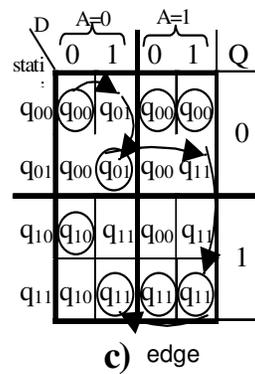
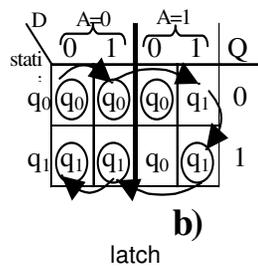
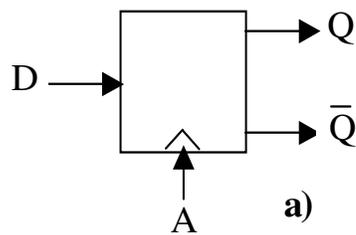
Flip flop D



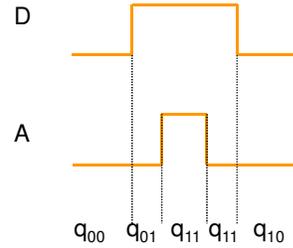
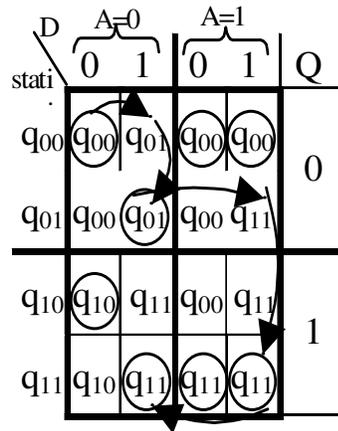
Equazione di stato:

$$Q = AD + \bar{A}Q_p$$

Flip flop D



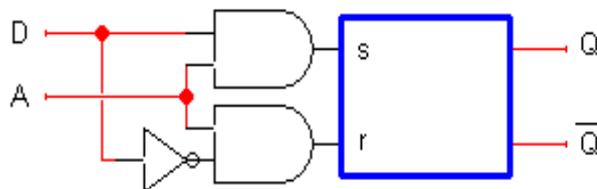
Flip flop D



A	D	Q
0	-	Q_p
↑	0	0
↑	1	1
1	-	Q_p

Flip-flop D: realizzazione come latch

Di concezione semplice, si realizza con RS



$$S = AD$$

$$R = AD'$$