

**Corso di Calcolatori Elettronici I  
A.A. 2010-2011**

---

---

**Memorie**

**Lezione 24**

**Prof. Roberto Canonico**



Università degli Studi di Napoli Federico II  
Facoltà di Ingegneria  
Corso di Laurea in Ingegneria Informatica (allievi A-DE+Q-Z)  
Corso di Laurea in Ingegneria dell'Automazione

---

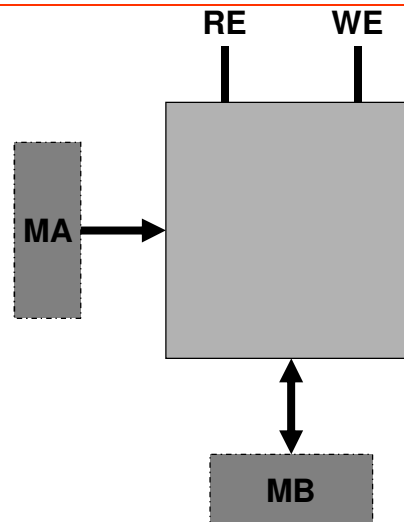
**Definizione di memoria**

---

---

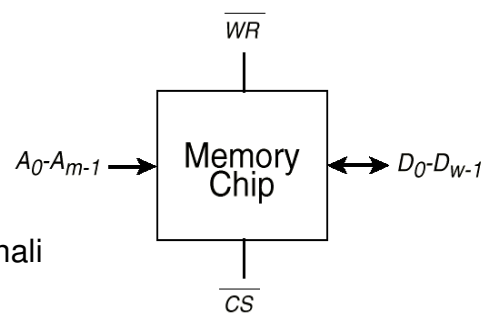
- Sistema organizzato con un insieme di registri (nel senso generale di “contenitori d’informazione”) sui quali sono definite 3 operazioni:
    - Scrittura
      - Posizionamento di una cella in un determinato stato o registrazione dell’informazione
    - Lettura
      - Rilievo dello stato di una cella o prelievo dell’informazione
    - Selezione
      - Individuazione di una cella al fine di eseguire una delle operazioni precedenti
-

## Modello di memoria



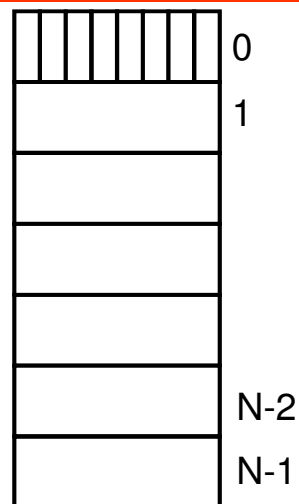
## Pinout (semplificato) di un chip di memoria

- $A_0-A_{m-1}$ 
  - Linee degli indirizzi
  - Unidirezionali
- $D_0-D_{w-1}$ 
  - Linee degli dati
  - Tipicamente bidirezionali
- $\overline{!CS}$ 
  - Abilitazione del dispositivo
- $\overline{!WR}$ 
  - Abilitazione dell'operazione di scrittura



## Memorie indirizzabili

- Ogni registro è univocamente individuato da un numero intero (indirizzo) che assume valori da 0 a N-1 (spazio di indirizzamento)



## Esempio di memoria indirizzabile

Address	Value
0000A000	0F0F0000
0000A004	186734F1
0000A008	0F000000
0000A00C	FE681022
0000A010	3152467C
0000A014	C3450917
0000A018	00392B11
0000A01C	10034561

← 32 bits →      ← 32 bits →

Random access memory

## Memorie associative

- Ogni registro è univocamente individuato dal valore di un particolare campo (chiave)
- Sono dette anche CAM (Content Addressable Memory)

chiave	dato

## Tassonomie delle memorie

In base alla **modalità di accesso** ai dati, le memorie si dividono in:

- Sequenziali
- Casuali

In base alle **operazioni consentite**, le memorie si dividono in:

- Memorie a sola lettura (Read Only Memory - ROM)
- Memorie a lettura/scrittura (Read Write Memory - RWM)

In base alla **“stabilità” dell’informazione memorizzata**, le memorie si dividono in:

- Volatili
- Non volatili

## Memorie meccanicamente statiche e dinamiche

---

- Meccanicamente statiche:
    - Sia il supporto fisico, sia il dato sono fermi rispetto al sistema di lettura/scrittura
    - Il dato è individuato esclusivamente dalla sua posizione rispetto al sistema di lettura/scrittura
    - Le operazioni di lettura/scrittura avvengono staticamente, nel senso che non esistono organi in movimento
  - Meccanicamente dinamiche:
    - Il supporto fisico e/o il dato è in movimento rispetto al sistema di lettura/scrittura
    - Il movimento del sistema di lettura/scrittura è utilizzato per individuare il dato
    - Le operazioni di lettura/scrittura avvengono dinamicamente, nel senso che esistono organi in movimento
- 

## Celle elementari di memorie RAM

---

In base alla “**stabilità**” dell’ **informazione memorizzata**, le memorie RAM si dividono in:

- statiche (SRAM)
    - l’informazione memorizzata è conservata nelle celle di memoria per un tempo indefinito o finchè non viene modificata tramite un’operazione di scrittura
  - dinamiche (DRAM)
    - l’informazione memorizzata nelle celle di memoria deve essere ripristinata periodicamente (operazione di **rinfresco della memoria**)
-

## Parametri di una memoria RAM (1)

---

---

- Capacità
    - Numero di dati che può contenere la memoria
    - Si esprime indicando il numero complessivo di registri  $N$  e la dimensione in bit di un singolo registro  $m$ , ovvero come prodotto  $N \times m$
  - Tempo di accesso
    - Tempo necessario ad eseguire un'operazione di lettura/scrittura
    - È composto in generale da un tempo di *selezione* più un tempo di *trasferimento*
- 

## Parametri di una memoria RAM (2)

---

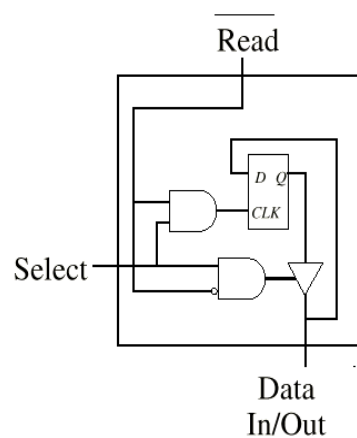
---

- Casualità d'accesso
    - Il tempo d'accesso può essere indipendente (memorie ad accesso casuale) o dipendente (memorie ad accesso non casuale) dal particolare registro acceduto
  - Volatilità
    - Capacità di una memoria di mantenere in maniera stabile l'informazione memorizzata
-

## Unità di misura della capacità

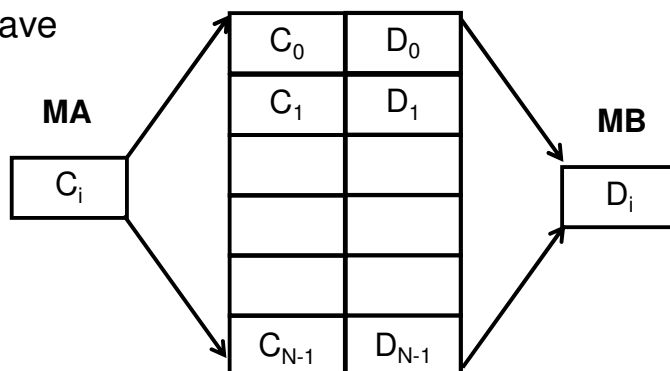
bit	▶	a single 0 or 1
kilobit (Kb)	▶	1 bit $\times$ 1,024 (1,024 bits)
megabit (Mb)	▶	1 bit $\times$ 1,024 <sup>2</sup> (1,048,576 bits)
gigabit (Gb)	▶	1 bit $\times$ 1,024 <sup>3</sup> (1,073,741,824 bits)
byte	▶	8 bits
kilobyte (KB)	▶	1 byte $\times$ 1,024 (1,024 bytes)
megabyte (MB)	▶	1 byte $\times$ 1,024 <sup>2</sup> (1,048,576 bytes)
gigabyte (GB)	▶	1 byte $\times$ 1,024 <sup>3</sup> (1,073,741,824 bytes)

## Singola cella



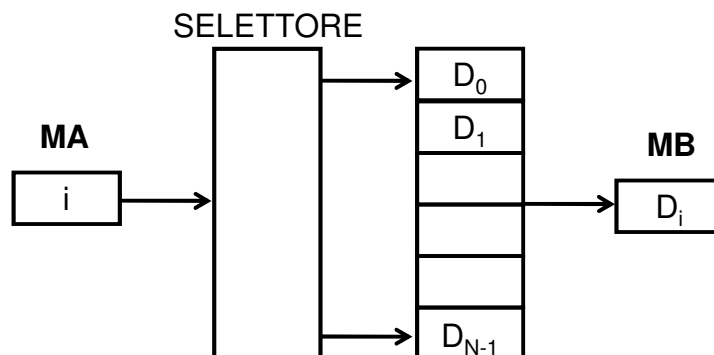
## Selezione associativa – Schema di principio

- Il dato è “indirizzato” dal valore della chiave



## Selezione lineare – Schema di principio

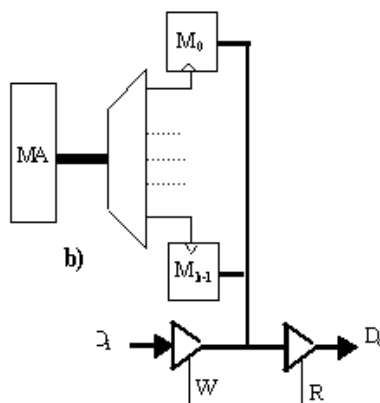
- Esiste un unico sistema di selezione che seleziona direttamente e singolarmente ciascuno degli  $N-1$  registri





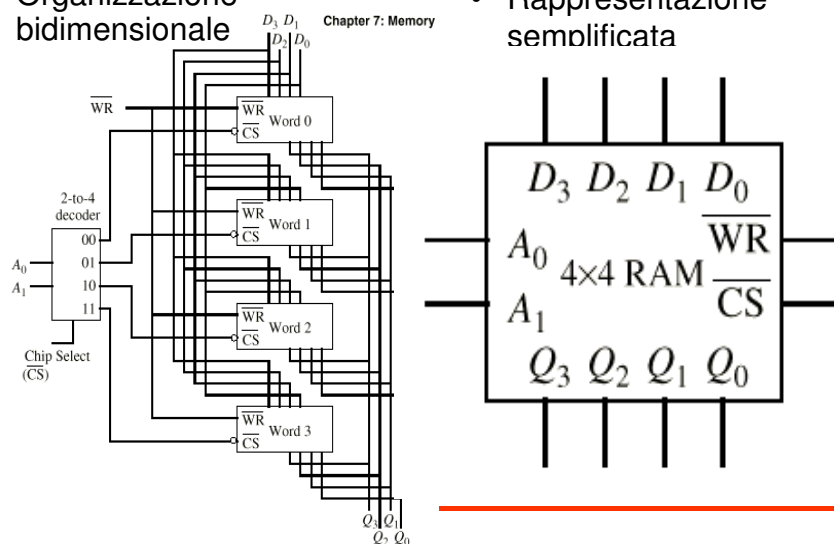
## Selezione lineare: realizzazione

- Il selettore è un decoder con un'uscita per ogni cella



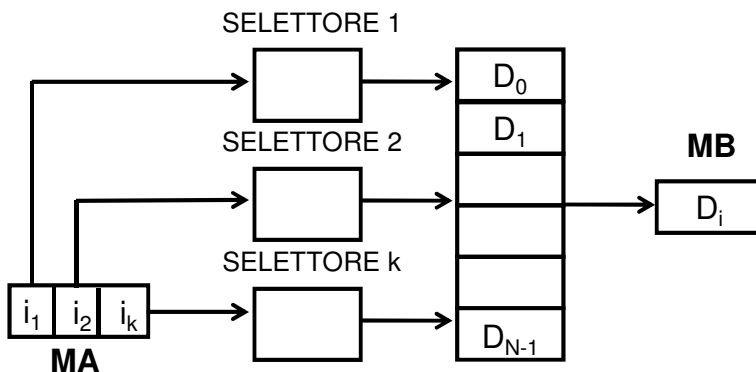
## Selezione lineare – RAM quattro parole da 4 bit

- Organizzazione bidimensionale
- Rappresentazione semplificata

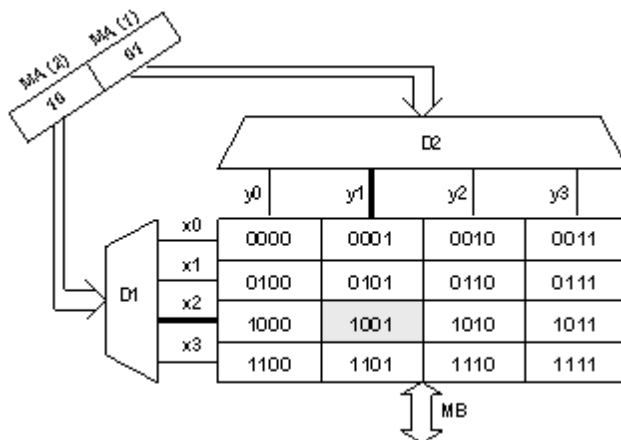


## Selezione a più dimensioni – Schema di principio

- Il sistema di selezione è costituito da più sottosistemi, la cui azione combinata seleziona ciascuno degli  $N-1$  registri

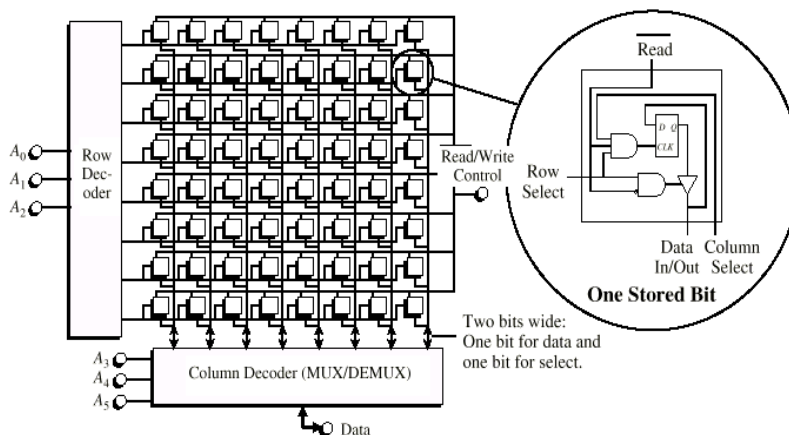


## Semiselezione



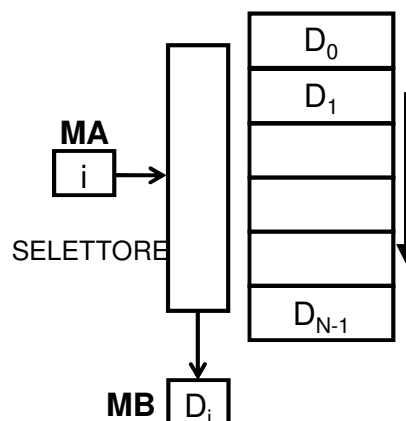
## Semiselezione

- Modulo RAM da 64 word di un bit

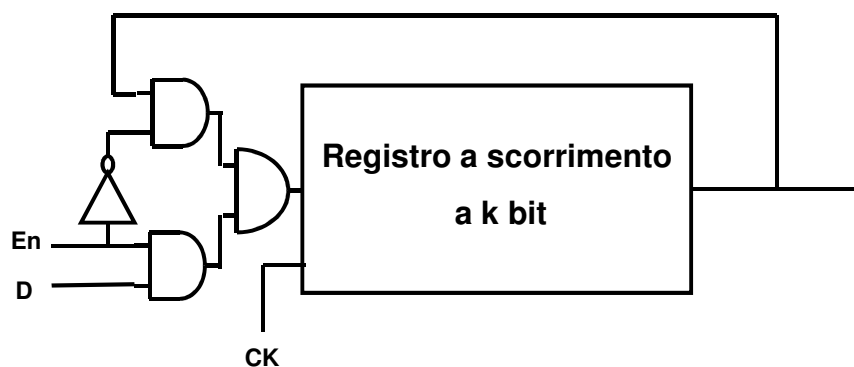


## Selezione temporale – Schema di principio

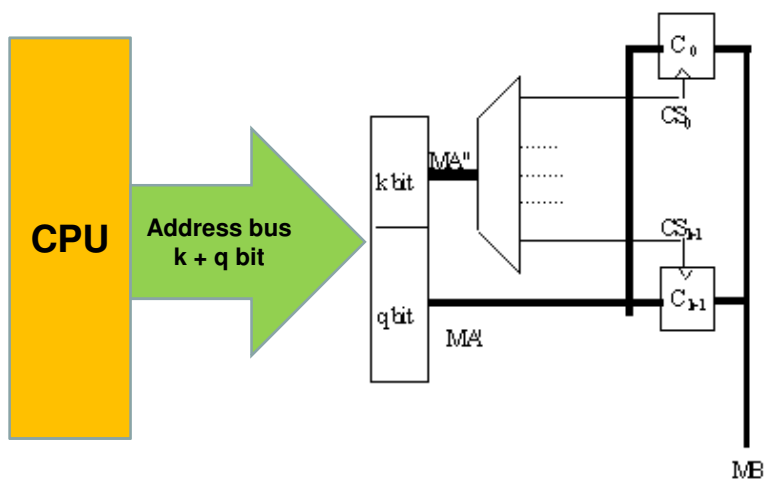
- La scrittura e la lettura dei dati avviene in maniera sequenziale
  - » Il tempo necessario per tali operazioni aumenta in maniera lineare all'aumentare delle dimensioni della memoria
  - » Anche se implementata mediante strutture estremamente veloci, l'accesso sequenziale non è in grado di offrire prestazioni soddisfacenti



## Selezione temporale – Esempio

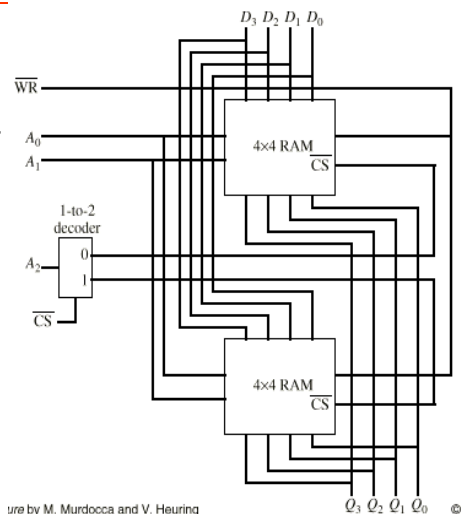


## Collegamento di moduli di memoria per aumentare la capacità



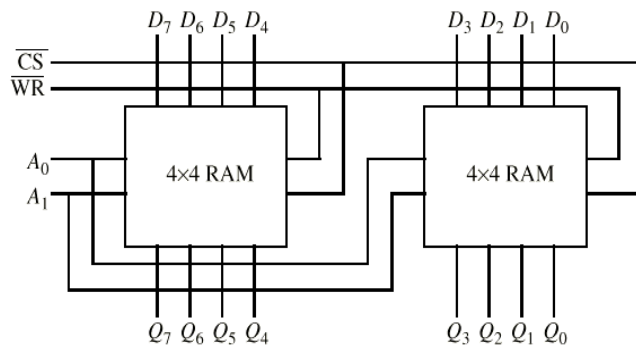
## Esempio di collegamento di moduli di memoria per aumentare la capacità

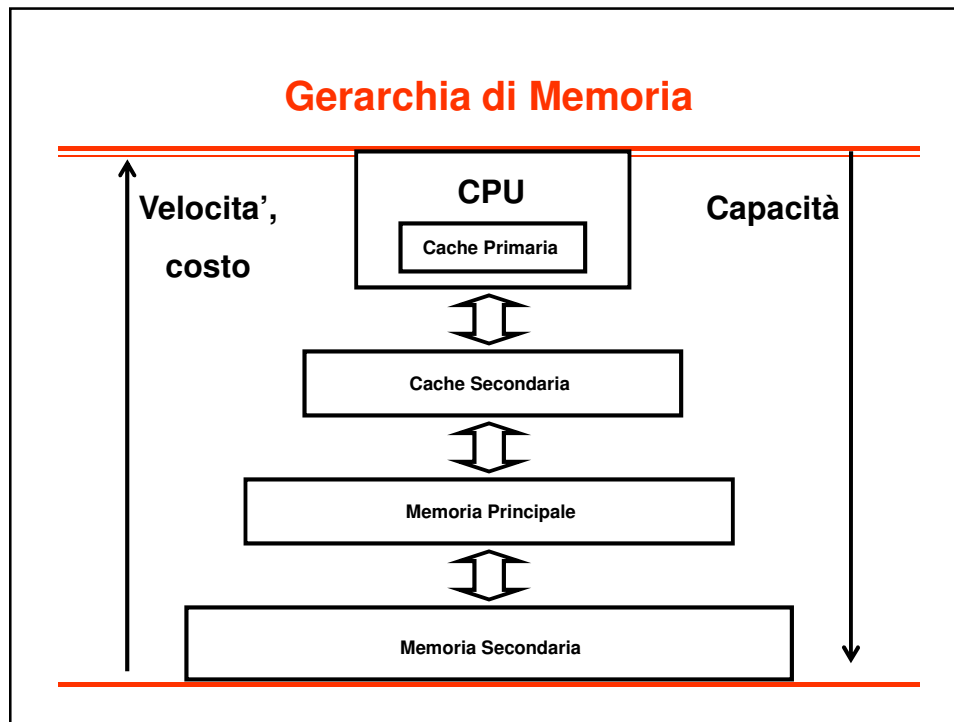
- 2 moduli da 4 Word by 4 Bit formano una RAM da 8 Word by 4 Bit



## Esempio di collegamento di moduli di memoria per aumentare il parallelismo

- 2 moduli da 4 Word by 4 Bit formano una RAM da 4 Word by 8 Bit

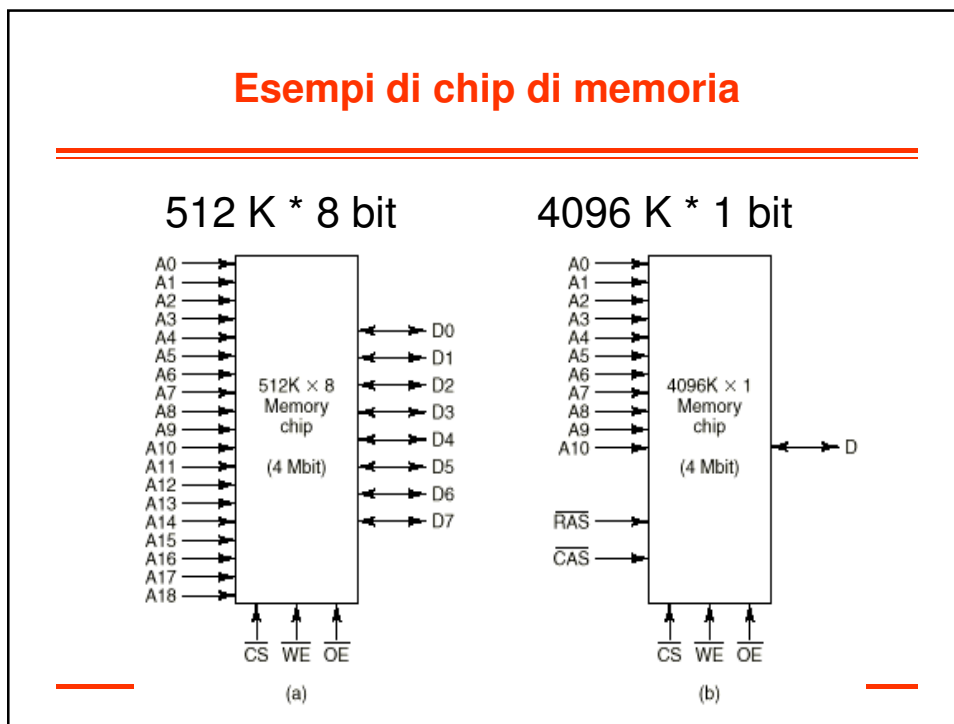




### Tipologie di memorie a stato solido

Type	Category	Erasure	Byte alterable	Volatile	Typical use
SRAM	Read/write	Electrical	Yes	Yes	Level 2 cache
DRAM	Read/write	Electrical	Yes	Yes	Main memory
ROM	Read-only	Not possible	No	No	Large volume appliances
PROM	Read-only	Not possible	No	No	Small volume equipment
EPROM	Read-mostly	UV light	No	No	Device prototyping
EEPROM	Read-mostly	Electrical	Yes	No	Device prototyping
Flash	Read/write	Electrical	No	No	Film for digital camera

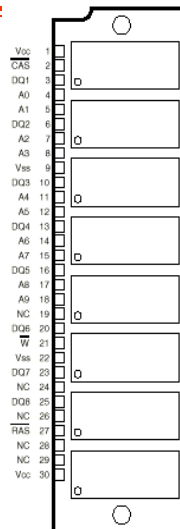
## Esempi di chip di memoria



## Single-In-Line Memory Module

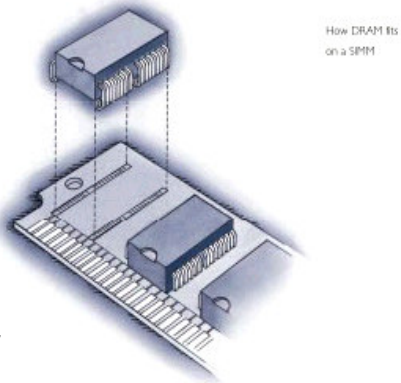
- Adattato da:
  - Texas Instruments MOS Memory: Commercial and Military Specifications DataBook, Texas Instruments, Literature Response Center, P.O. Box 172228, Denver, Colorado, 1991

PIN NOMENCLATURE	
A0-A9	Address Inputs
CAS	Column-Address Strobe
DQ1-DQ8	Data In/Data Out
NC	No Connection
RAS	Row-Address Strobe
V <sub>CC</sub>	5-V Supply
V <sub>SS</sub>	Ground
W	Write Enable



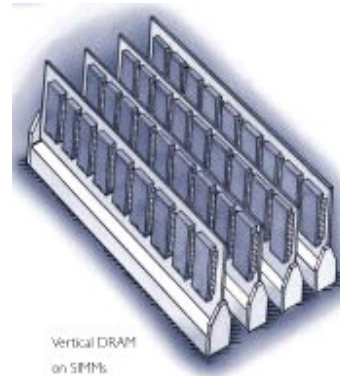
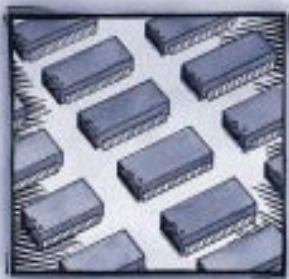
## Montaggio dei moduli su una SIMM

- DRAM IC
  - DRAM Integrated Circuit
- PCB
  - Printed Circuit Board
- SIMM socket
  - Single In-Line Memory Module Socket



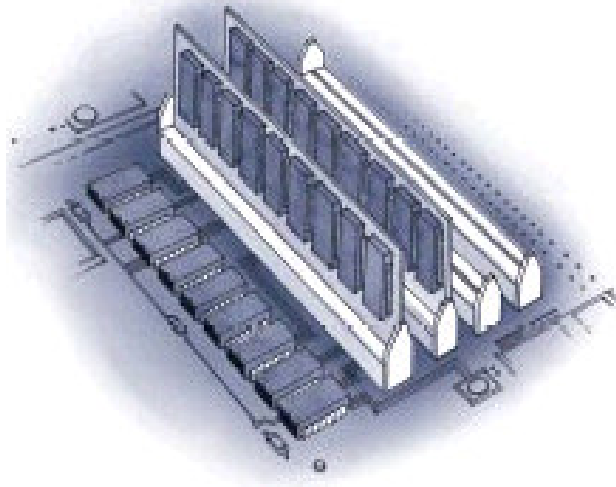
## La memoria nel computer

- Disposizione orizzontale
- Disposizione verticale



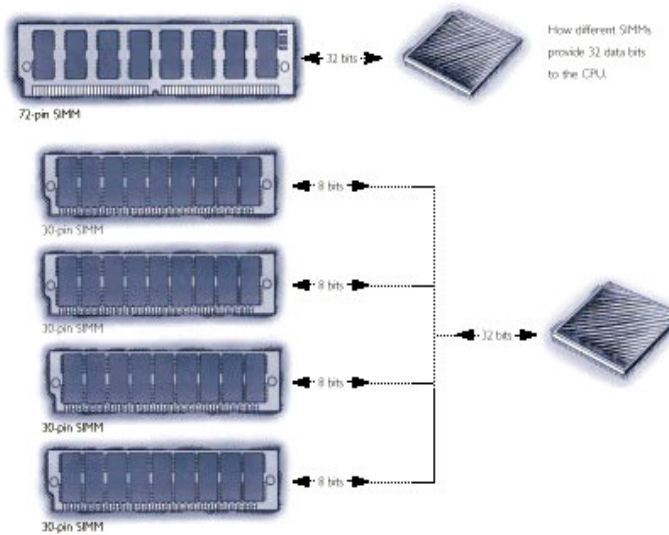


## Banchi e schemi di memoria



### SIMM a 30 e a 72 pin

- 30 pin  
– 8 bit
- 72 pin  
– 32 bit



## DIMM a 72 e 168 pin

- SO DIMM
  - Small Outline DIMM
  - 32 bit
- 168 pin DIMM
  - 64 bit



## Controllo dell'integrità dei dati

- Parity checking
  - Il modulo è dotato di un bit aggiuntivo per ogni word, che memorizza l'informazione di parità
  - L'informazione di parità viene successivamente controllata dai circuiti di controllo della parità
- Error Correcting Code (ECC) technology
  - Il modulo è dotato di circuiti di memorizzazione aggiuntivi per la memorizzazione di informazioni di ridondanza
  - L'informazione di ridondanza viene successivamente controllata da opportuni circuiti di controllo
  - In determinate circostanze, è possibile correggere gli eventuali errori
- Fake Parity
  - Il modulo è dotato di opportuni circuiti che simulano la creazione ed il controllo delle informazioni di parità
  - In pratica tali informazioni non vengono mai registrate, ma vengono invece generate "on the fly" per ingannare i circuiti di controllo della parità

## DRAM Packages

- DIP
  - Dual In-Line Package
- SOJ
  - Small Outline J-lead
- TSOP
  - Thin, Small Outline Package

DIP Integrated Circuit



SOJ DRAM Package



TSOP DRAM Package



## Memoria a sola lettura (ROM)

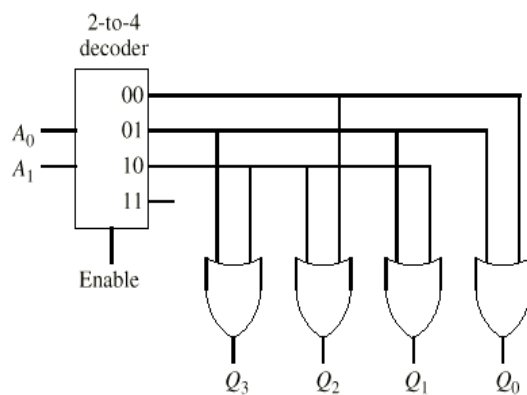
- Circuito che fornisce una serie di **dati** in corrispondenza di una serie di **ingressi**:
  - $(A_0, \dots, A_{n-1}) \rightarrow (D_0, \dots, D_{m-1})$
- È una macchina **combinatoria** (e non sequenziale)
- È in grado di **memorizzare** pattern fissi di dati (e quindi in particolare istruzioni di un programma o dati di una tabella)
- È costituita da:
  - Un circuito di decodifica
  - Un circuito di codifica

## Tipi di Memoria a sola lettura

- ROM
  - Vengono programmate in sede di produzione
- PROM (Programmable ROM)
  - Possono essere programmate dall'utente
- EPROM (Erasable Programmable ROM)
  - Possono essere programmate (elettricamente) e cancellate (radiazioni ultraviolette) dall'utente
- EEPROM (Electrically Erasable Programmable ROM)
  - Possono essere programmate (elettricamente) e cancellate (elettricamente) dall'utente
- Flash
  - Possono essere riprogrammate moltissime volte

## Esempio di modulo di memoria ROM

- 4 word by 4 bit ROM



Location	Stored word
00	0101
01	1011
10	1110
11	0000