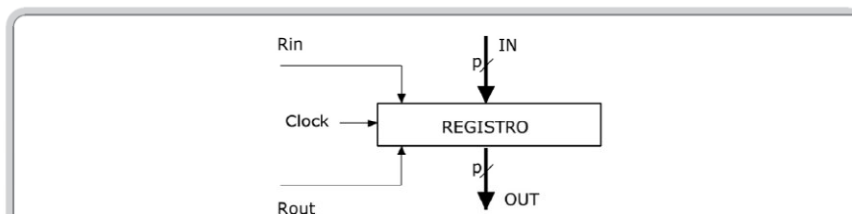


## Corso di Calcolatori Elettronici I

# Architettura interna della CPU

Slide preparate con materiale tratto dal libro di testo  
G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

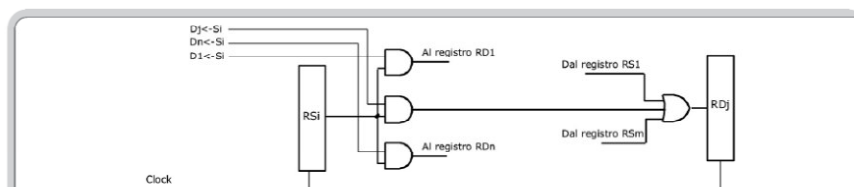
Gli argomenti trattati in questa lezione si trovano nel capitolo 5 del libro :  
C. Hamacher, Z. Vranesic, S. Zaky, N. Manjikian - Introduzione all'architettura dei  
calcolatori (3° ed.) – McGraw-Hill, 2013



**Figura 4.35** - Modello di registro. A seconda della convenienza, spesso si omette di indicare i segnali  $R_{in}$  e  $R_{out}$ ; in tal caso si deve assumere che essi siano sempre asseriti. Si omette pure di indicare il clock, che pure va inteso come sempre presente. Il numero  $p$  di linee binarie in ingresso o in uscita è pari alla dimensione (parallelismo) del registro.

Si assume la convenzione che i registri commutino sul fronte di discesa del clock

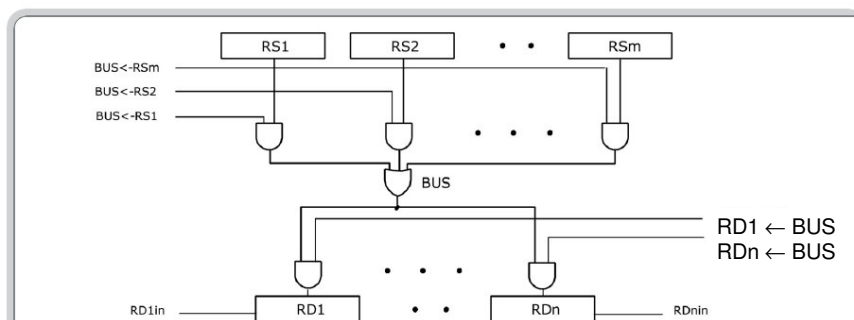
## Trasferimento dell'informazione



**Figura 4.42** - Rete di interconnessione da  $m$  registri sorgente a  $n$  registri di destinazione. I trasferimenti vengono selezionati asserendo le linee di comando  $D_j \leftarrow S_i$ . Si è assunto che i registri sorgente abbiano le uscite sempre disponibili (siano, cioè, senza uscita in terzo stato, oppure con uscita in terzo stato e  $RS_{out}$  sempre asserito). Si è anche assunto che il registro di destinazione abbia  $R_{in}$  sempre asserito.

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

## Struttura a bus



**Figura 4.43** - Schema concettuale della struttura a bus con normali porte AND-OR. Il trasferimento dal registro  $RS_i$  al registro  $RS_j$  richiede che siano asserite le due linee di comando  $BUS \leftarrow RS_i$  e  $RD_j \leftarrow BUS$ . Si è omesso di indicare il clock comune a tutti i registri.

## Struttura a bus

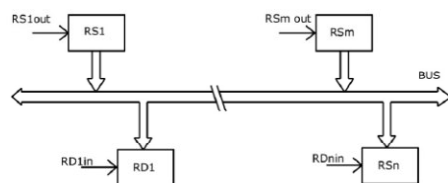


Figura 4.44 - Schema di collegamento tramite bus. Si suppone che le uscite dei dispositivi collegate sul bus siano a tre stati. In un dato momento deve essere asserted un solo segnale di abilitazione delle uscite, in modo che il bus venga portato allo stato logico del corrispondente registro. I segnali di abilitazione degli ingressi determinano quali registri di destinazione vengono caricati sul prossimo (fronte del) clock.

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

## Tempificazione

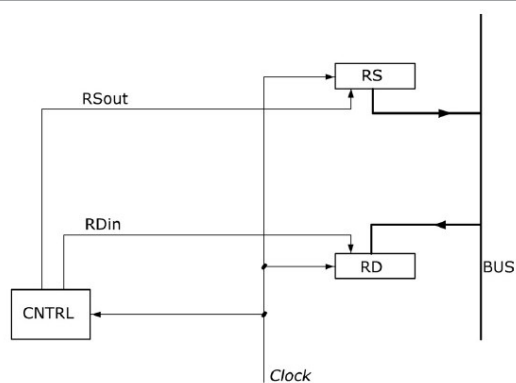


Figura 4.45 - Esempio di trasferimento da un registro ad un altro attraverso il bus. Il blocco CNTRL è responsabile della generazione dei segnali  $RS_{out}$  e  $RD_{in}$ .

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

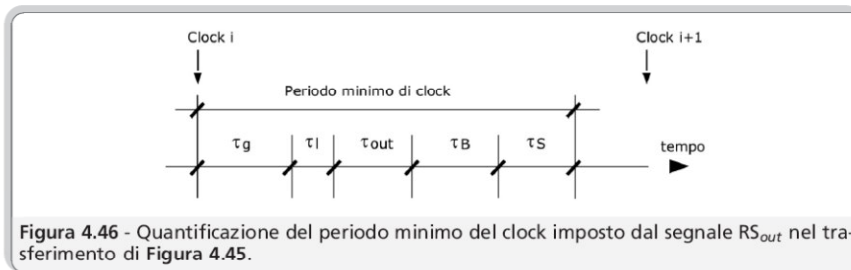


Figura 4.46 - Quantificazione del periodo minimo del clock imposto dal segnale  $RS_{out}$  nel trasferimento di Figura 4.45.

$\tau_g$  : tempo richiesto dalla logica CNTRL per generare i segnali  $RS_{out}$  e  $RD_{in}$

$\tau_I$  : tempo impiegato dal segnale  $RD_{out}$  per propagarsi fino a RS

$\tau_{out}$  : tempo richiesto per il passaggio in conduzione di RS

$\tau_B$  : tempo di trasmissione del dato da RS a RD

$\tau_S$  : tempo di set-up dei FF del registro RD

$\tau_H$  : tempo di hold del registro RD

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

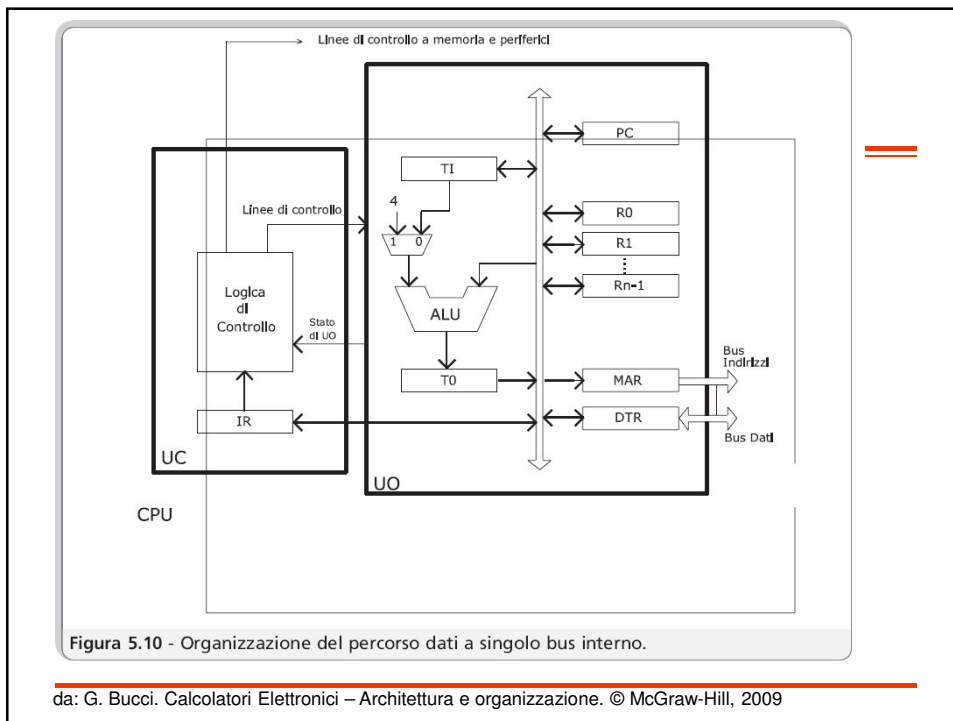


Figura 5.10 - Organizzazione del percorso dati a singolo bus interno.

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

## Esecuzione delle istruzioni

### Fase di Fetch

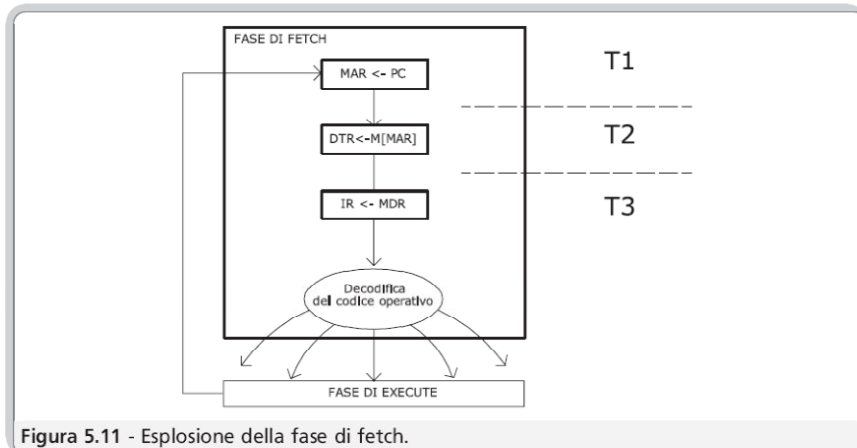


Figura 5.11 - Esplosione della fase di fetch.

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

## Esecuzione delle istruzioni

### Fase di esecuzione

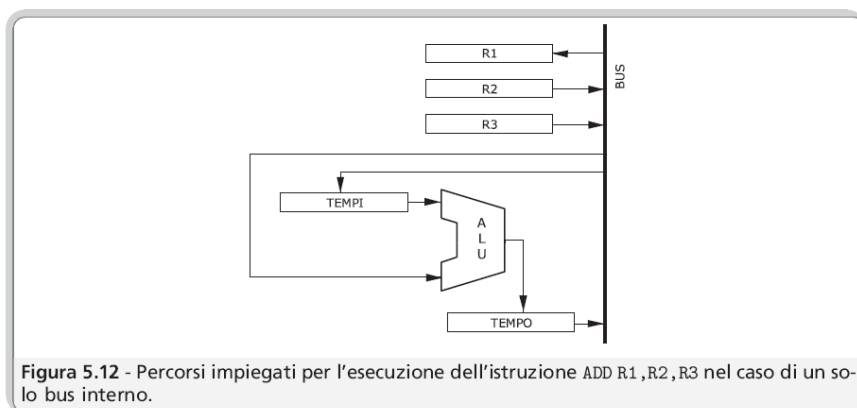


Figura 5.12 - Percorsi impiegati per l'esecuzione dell'istruzione ADD R1, R2, R3 nel caso di un solo bus interno.

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

## Temporizzazione

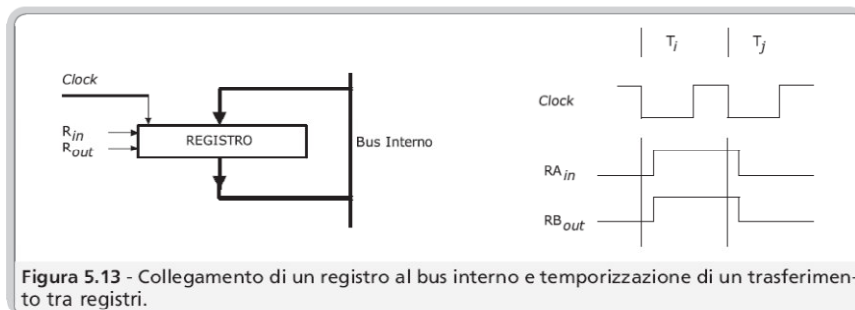


Figura 5.13 - Collegamento di un registro al bus interno e temporizzazione di un trasferimento tra registri.

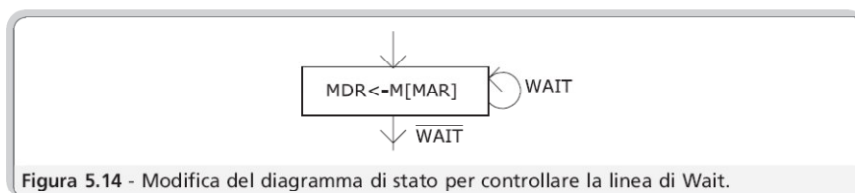


Figura 5.14 - Modifica del diagramma di stato per controllare la linea di Wait.

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

## Percorsi interni

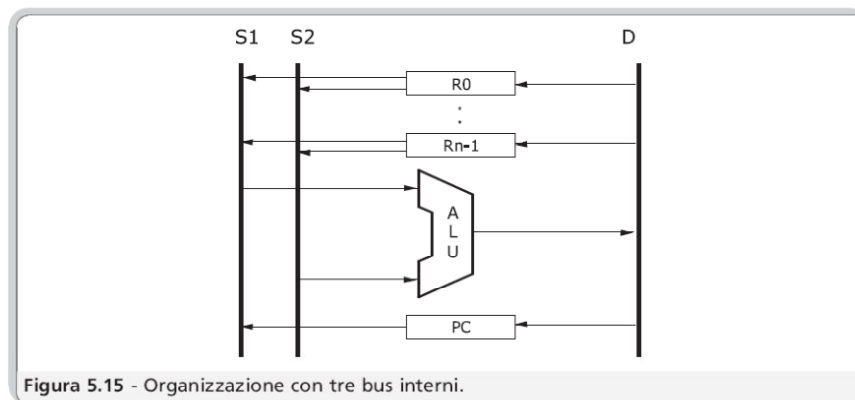


Figura 5.15 - Organizzazione con tre bus interni.

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

## Il file dei registri

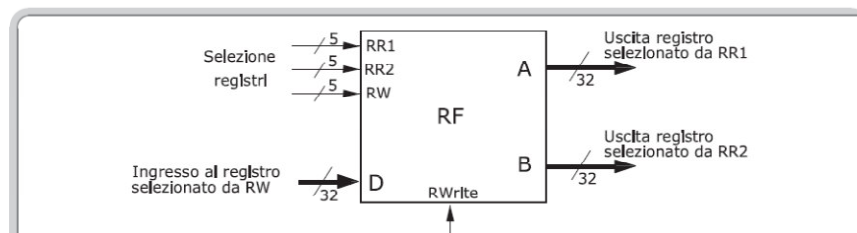


Figura 5.16 - Schematizzazione di un banco di 32 registri di uso generale. Gli ingressi RR1 e RR2 identificano i due registri letti (registri sorgente), i cui contenuti vengono presentati rispettivamente sulle porte A e B. L'ingresso RW identifica l'eventuale registro di destinazione, ovvero il registro in cui viene scritto il dato presentato sulla porta D. La scrittura in questo registro ha luogo sul fronte finale del clock, solo se è asserito il comando RWrite.

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009

## Il file dei registri

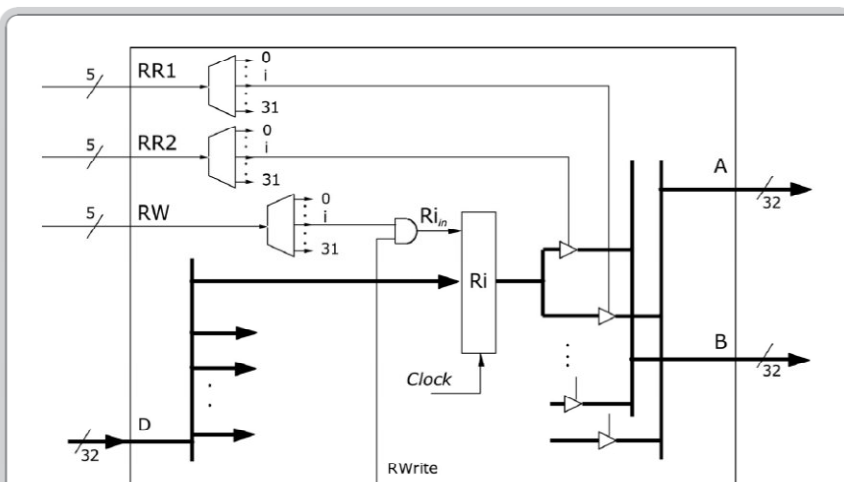


Figura 5.17 - Selezione dei registri all'interno del RF.

da: G. Bucci. Calcolatori Elettronici – Architettura e organizzazione. © McGraw-Hill, 2009