

Corso di Calcolatori Elettronici I

Macchine combinatorie: encoder/decoder e multiplexer/demultiplexer

Prof. Roberto Canonico

Università degli Studi di Napoli Federico II

Dipartimento di Ingegneria Elettrica
e delle Tecnologie dell'Informazione

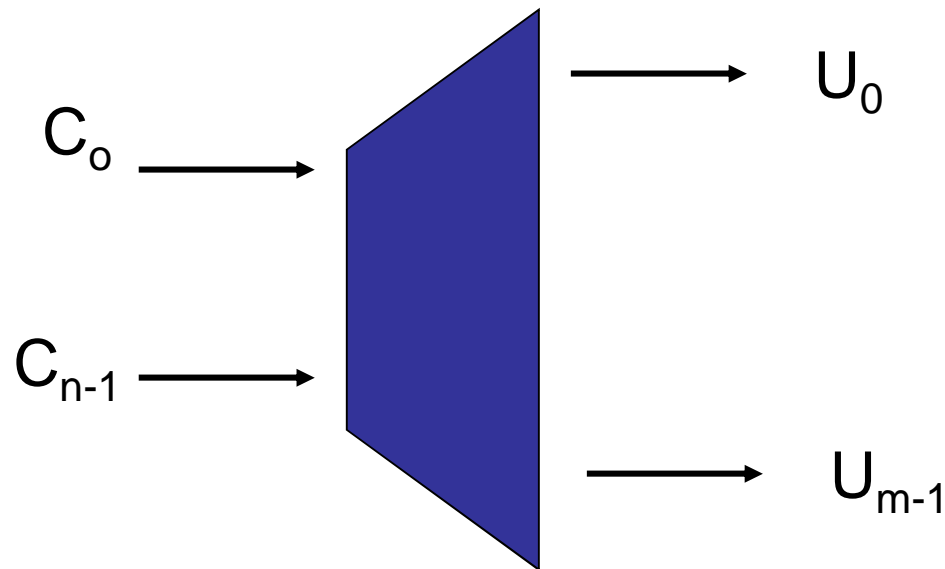
Corso di Laurea in Ingegneria Informatica

Corso di Laurea in Ingegneria dell'Automazione



Decodificatore (decoder) 1 su m

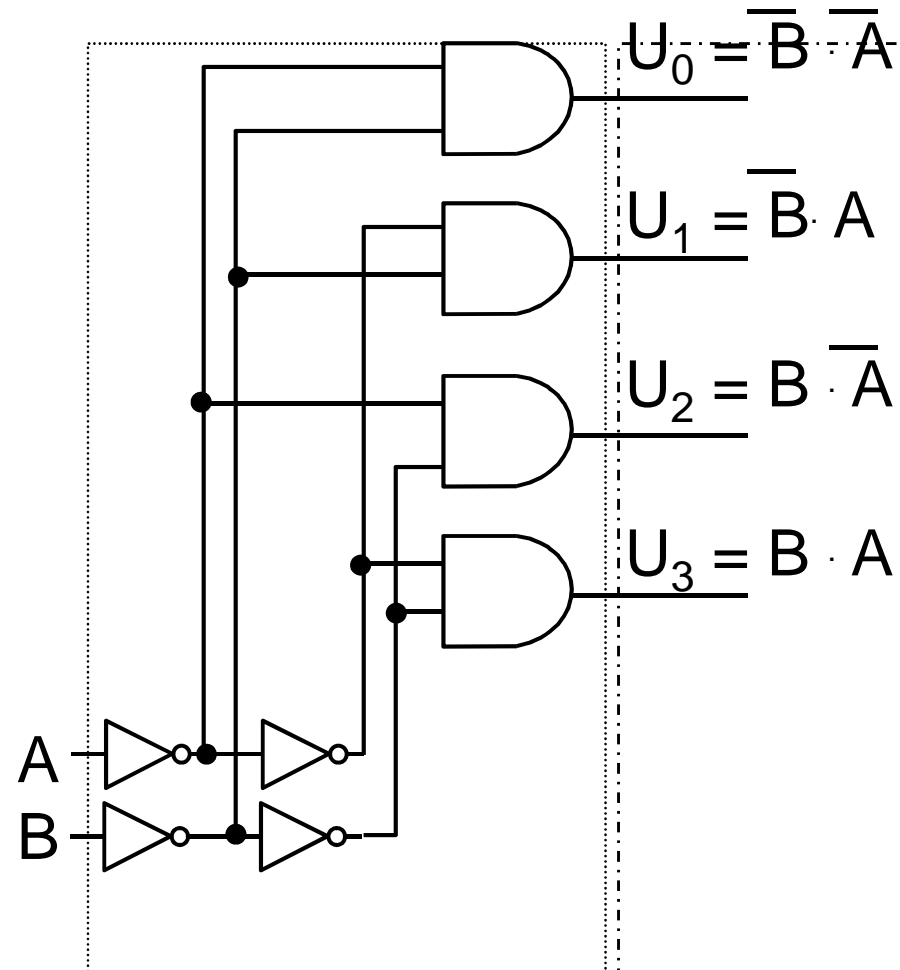
- Un decodificatore è una macchina che riceve in ingresso una parola codice (C) su n bit e presenta in uscita la sua rappresentazione decodificata (linee U_0, \dots, U_{N-1}) su $m=2^n$ bit



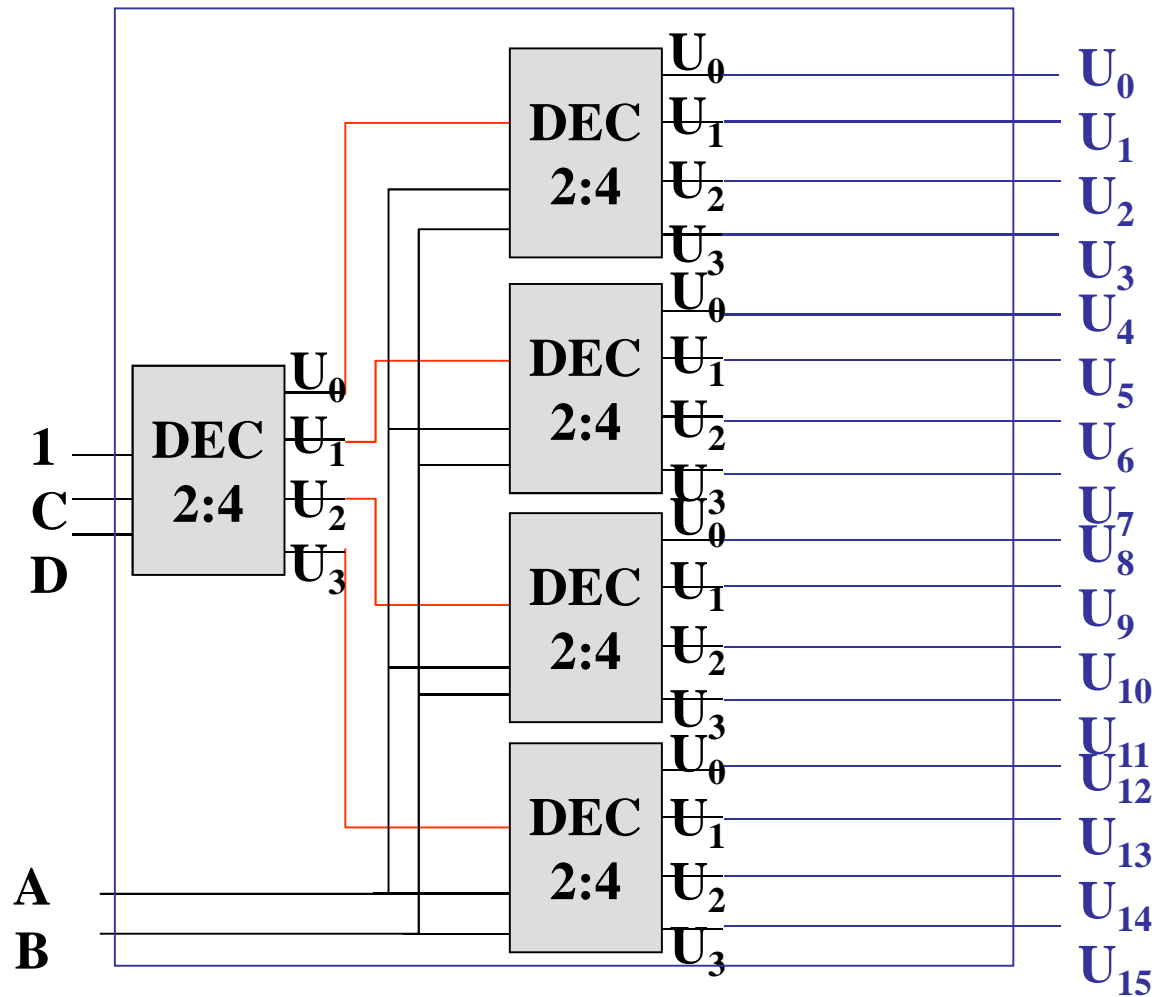
Decoder 1 su 4

Esempio: decoder 1:4

	B	A	U_0	U_1	U_2	U_3
1	0	0	1	0	0	0
2	0	1	0	1	0	0
3	1	0	0	0	1	0
4	1	1	0	0	0	1

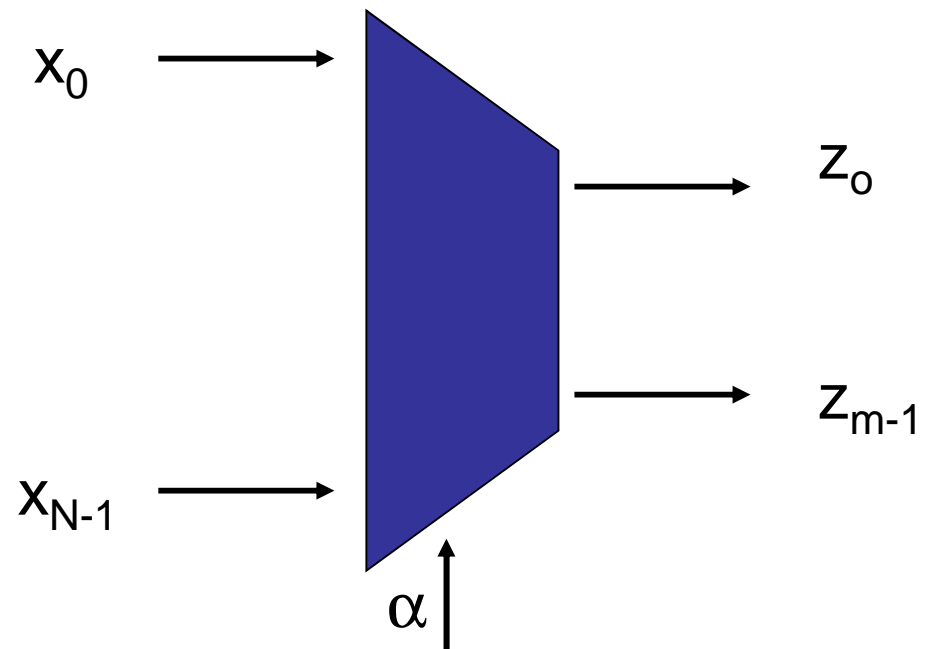


Composizione modulare di decoder: decoder 4:16 con decoder 2:4

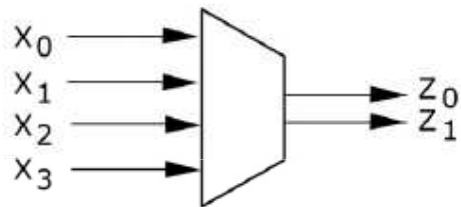


Encoder o codificatore

- Un codificatore riceve in ingresso una rappresentazione decodificata (linee x_0, \dots, x_{m-1}) e fornisce in uscita una rappresentazione con un codice a lunghezza fissa di n bit
- L'uscita è la parola codice associata a x_i
se $x_i=1$
ed $\alpha=1$ (abilitazione)
- Vincolo su ingressi:
 $x_i \cdot x_j = 0$ per $i \neq j$



Codificatore a 4 ingressi



X_3	X_2	X_1	X_0	Z_1	Z_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

Figura 3.31 - Schematizzazione di un codificatore a quattro ingressi e parte della tabella di verità delle funzioni di uscita.

Codificatore 8-4-2-1

- $Z_3 = X_8 + X_9$
- $Z_2 = X_4 + X_5 + X_6 + X_7$
- $Z_1 = X_2 + X_3 + X_6 + X_7$
- $Z_0 = X_1 + X_3 + X_5 + X_7 + X_9$

cifra	
	8-4-2-1
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Arbitro di priorità

□ Un codificatore può essere preceduto da una “rete a priorità” che, in caso di più ingressi contemporaneamente alti, filtra quello con priorità assegnata maggiore

- Rete a priorità
 - n ingressi X_i
 - n uscite corrispondenti F_i , che rappresentano gli ingressi del codificatore
 - fra gli ingressi è definita una priorità, ad esempio:
 - per fissare le idee
« X_i è prioritario su X_j se $i < j$ »
 - L'uscita Y_i è alta se e solo se X_i è alto e tutti gli altri ingressi prioritari su X_i sono bassi.

$$F_1 = X_1$$

$$F_2 = X_2 \overline{X_1}$$

.....

$$F_n = X_n \overline{X_{n-1}} \cdots \overline{X_1}$$

Arbitro di priorità a 4 ingressi

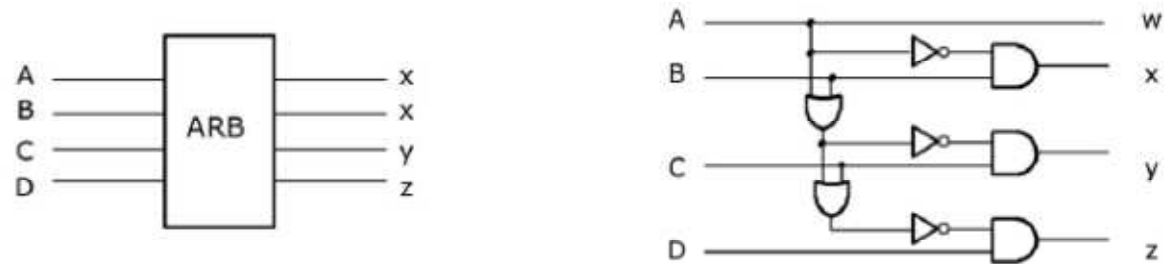


Figura 3.34 - Schematizzazione di un arbitro di priorità a quattro ingressi e corrispondente rete "a scala".

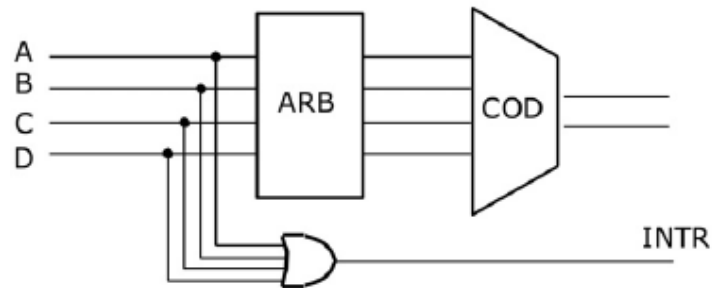
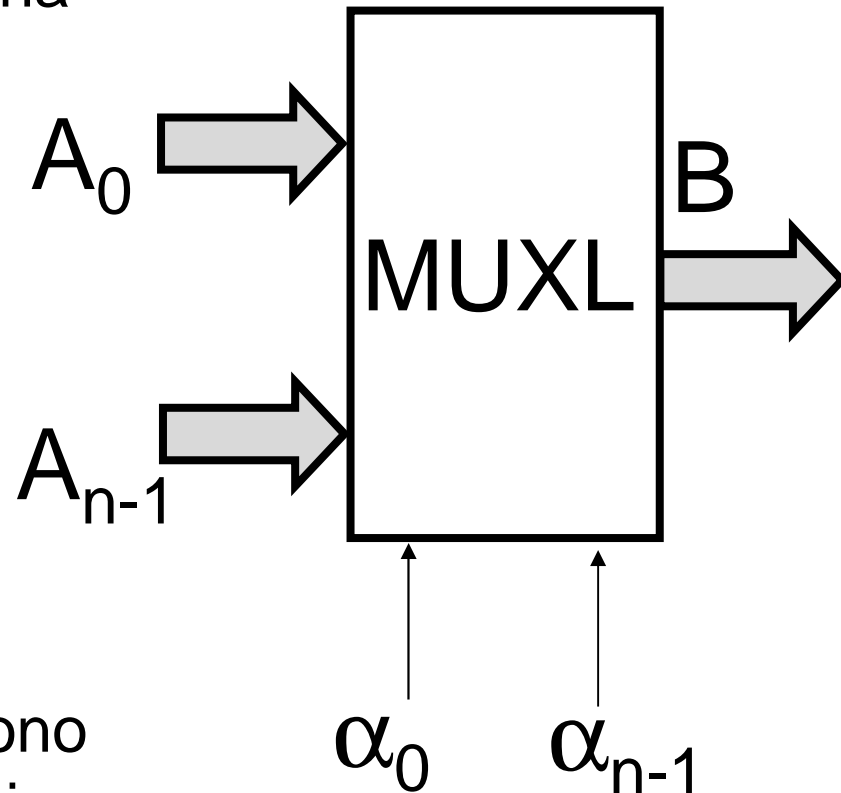


Figura 3.35 - Costruzione di un codificatore di priorità a partire da un arbitro di priorità e da un codificatore. La linea INTR indica che almeno una delle linee tra A, B, C e D è 1. Quando INTR è 0, nessuna linea di ingresso risulta asserita e l'uscita del codificatore è senza significato.

Multiplexer lineare

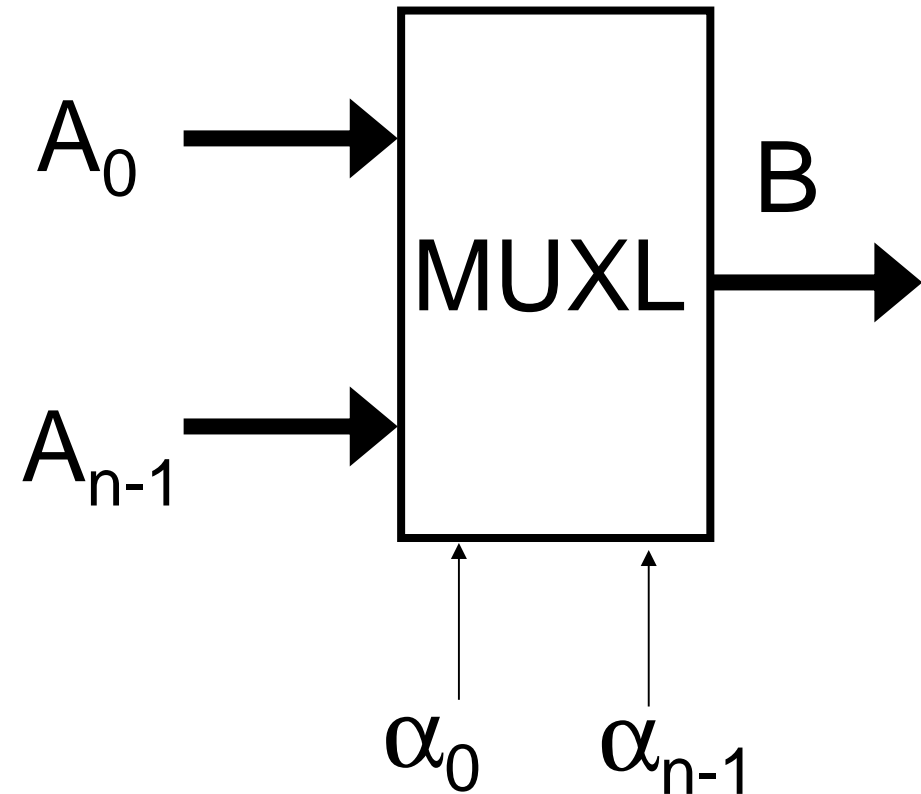
- Un *Multiplexer lineare* (ML) è una macchina con:
 - n ingressi-dati (A_0, \dots, A_{n-1})
 - n segnali binari di selezione ($\alpha_0, \dots, \alpha_{n-1}$),
dei quali al più uno è attivo
 - una uscita-dati B, che assume
 - valore A_i se è attivo α_i
 - neutro se nessuna delle selezioni è attiva
 - utilizzata quando più linee devono essere convogliate verso un'unica linea di uscita (bus)
-



Multiplexer binario

- Se i dati A_i e B sono semplici bit si parla di multiplexer *binario*

$$B = \sum_{i=0}^{n-1} \alpha_i \cdot A_i$$



Multiplexer binario - realizzazioni

- $B = A_0 \alpha_0 + A_1 \alpha_1 + \dots + A_{n-1} \alpha_{n-1}$
 $n=4$

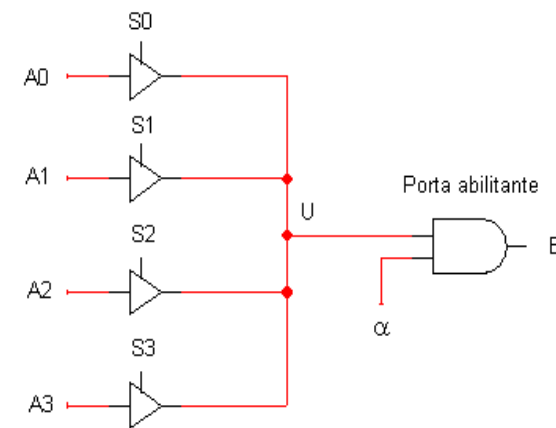
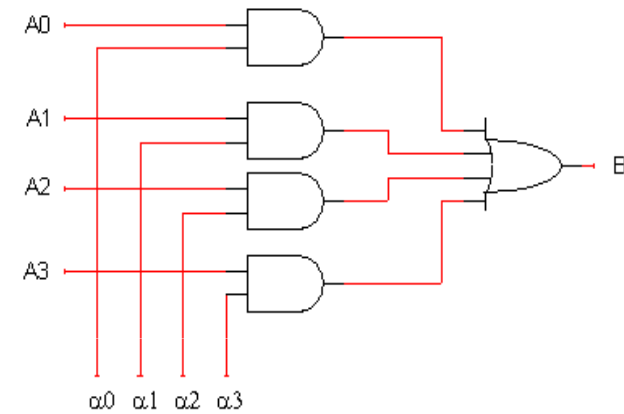
- **Realizzazione I**

- Con porte AND e OR

- **Realizzazione II**

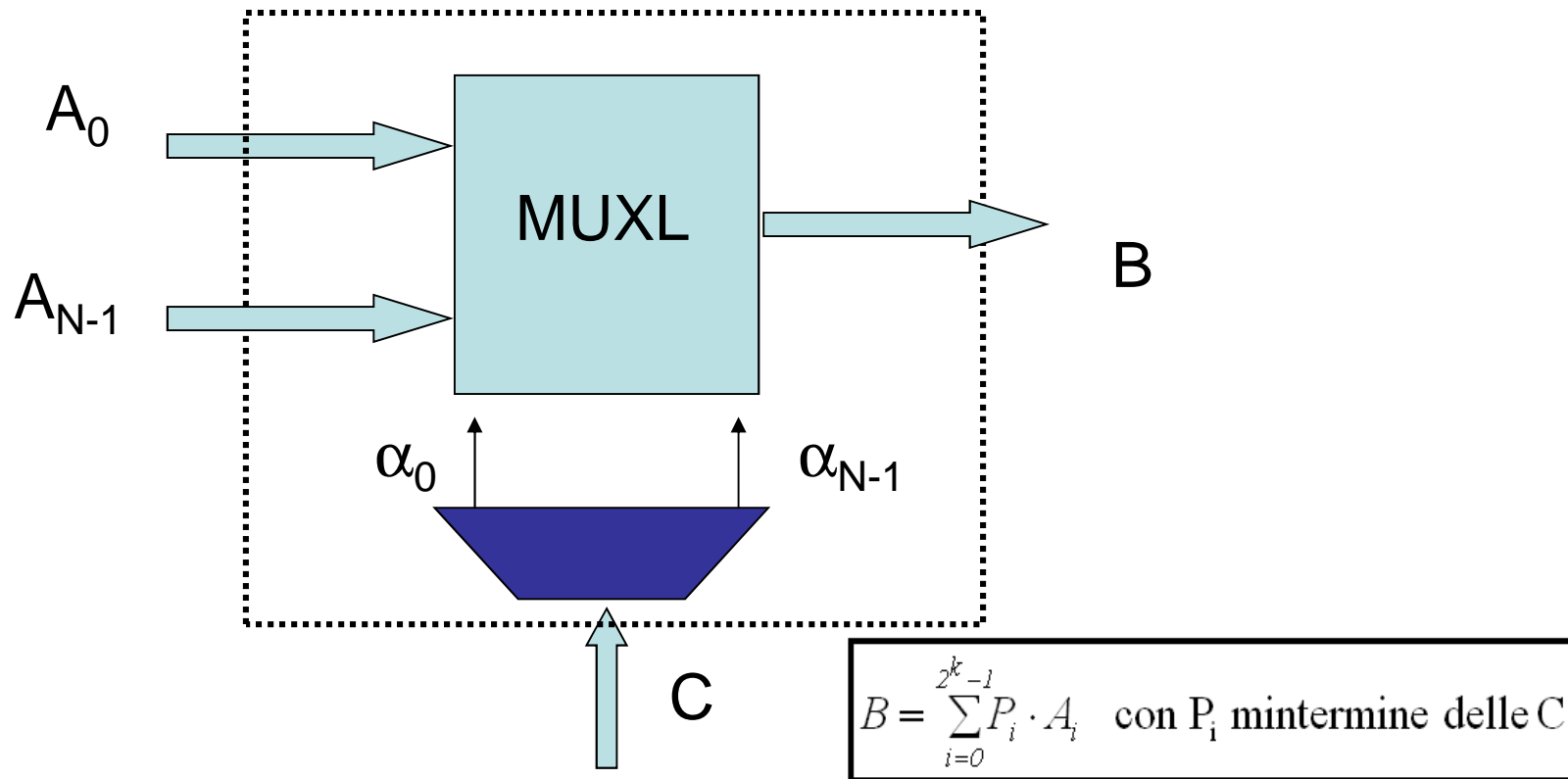
- Con porte 3-state
 - S=1, restituisce il valore di A
 - S=0, restituisce un'alta impedenza (apre il circuito)

A	S	Uscita
0	0	Z
0	1	0
1	0	Z
1	1	1



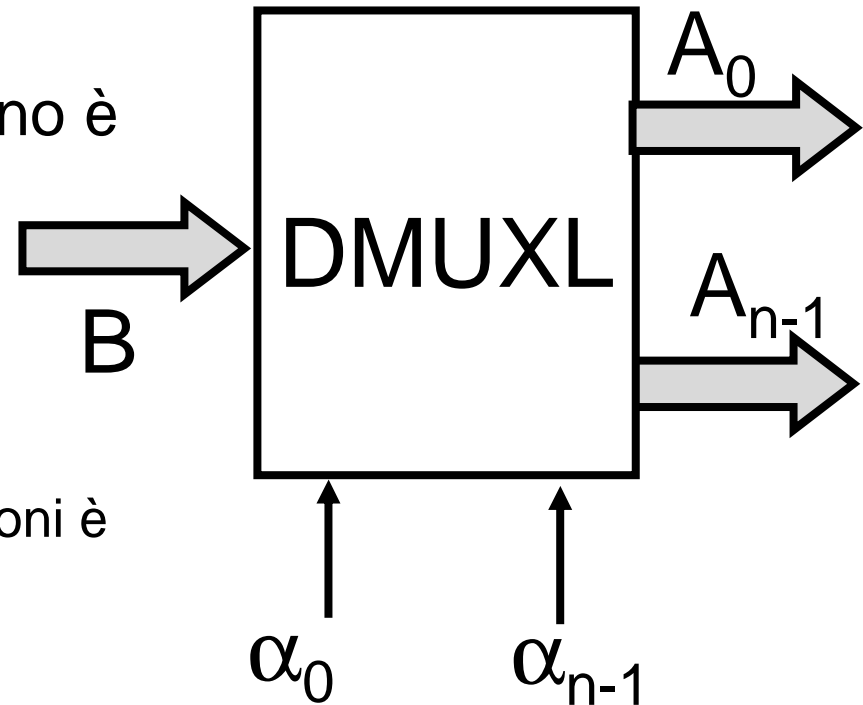
Multiplexer (indirizzabile)

- Multiplexer Lineare i cui segnali di abilitazione sono collegati con le uscite di un decodificatore



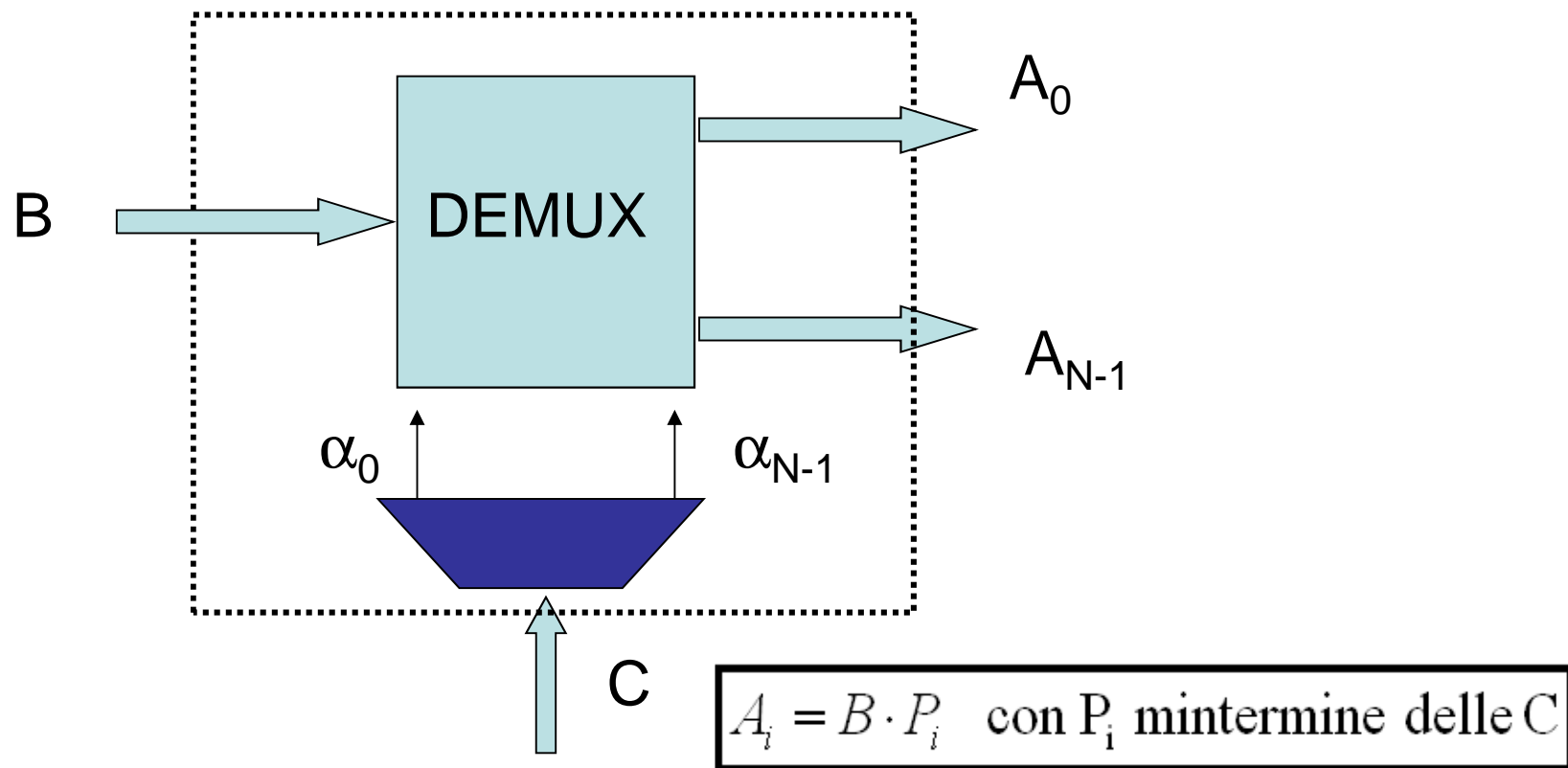
Demultiplexer lineare

- Un *Demultiplexer Lineare* è una macchina con:
 - 1 ingresso-dati B
 - n segnali binari di selezione ($\alpha_0, \dots, \alpha_{n-1}$), dei quali al più uno è attivo
 - n uscite-dati (A_0, \dots, A_{n-1}), con
 - $A_i = B$ se è attivo α_i
 - neutro se nessuna delle selezioni è attiva



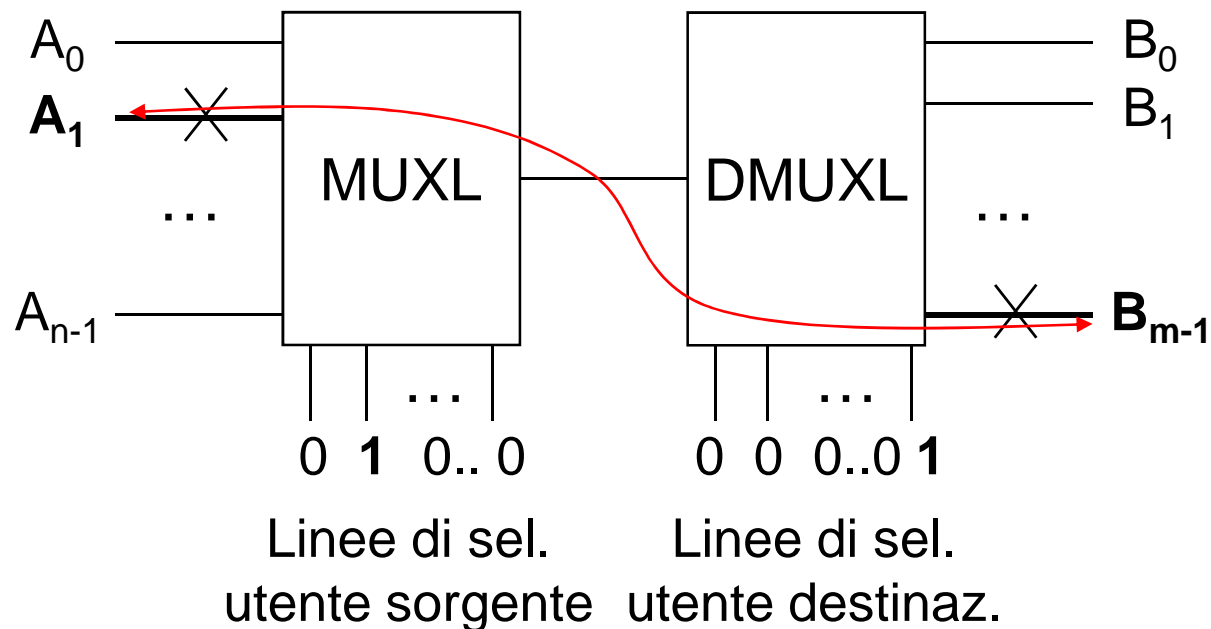
Demultiplexer (indirizzabile)

- Demultiplexer Lineare i cui segnali di abilitazione sono collegati con le uscite di un decodificatore



Muxl/Dmuxl: un esempio

- Supponiamo di avere un “centralino telefonico” in cui n utenti sorgente vogliono parlare con m utenti destinazione
 - **vincolo:** l’utente di destinazione abilitato deve sentire solo l’utente sorgente abilitato



L’utente A_1 è abilitato a parlare con l’utente B_{m-1}