

Corso di Calcolatori Elettronici I

Memorie

Prof. Roberto Canonico

Università degli Studi di Napoli Federico II
Dipartimento di Ingegneria Elettrica e
delle Tecnologie dell'Informazione

Corso di Laurea in Ingegneria Informatica
Corso di Laurea in Ingegneria dell'Automazione



Definizione di memoria

- Sistema organizzato con un insieme di registri (nel senso generale di “contenitori d’informazione”) sui quali sono definite 3 operazioni:
 - Scrittura
 - Posizionamento di una cella in un determinato stato o registrazione dell’informazione
 - Lettura
 - Rilievo dello stato di una cella o prelievo dell’informazione
 - Selezione
 - Individuazione di una cella al fine di eseguire una delle operazioni precedenti
-

Tassonomie delle memorie

In base alla **modalità di accesso** ai dati, le memorie si dividono in:

- Sequenziali
- Casuali

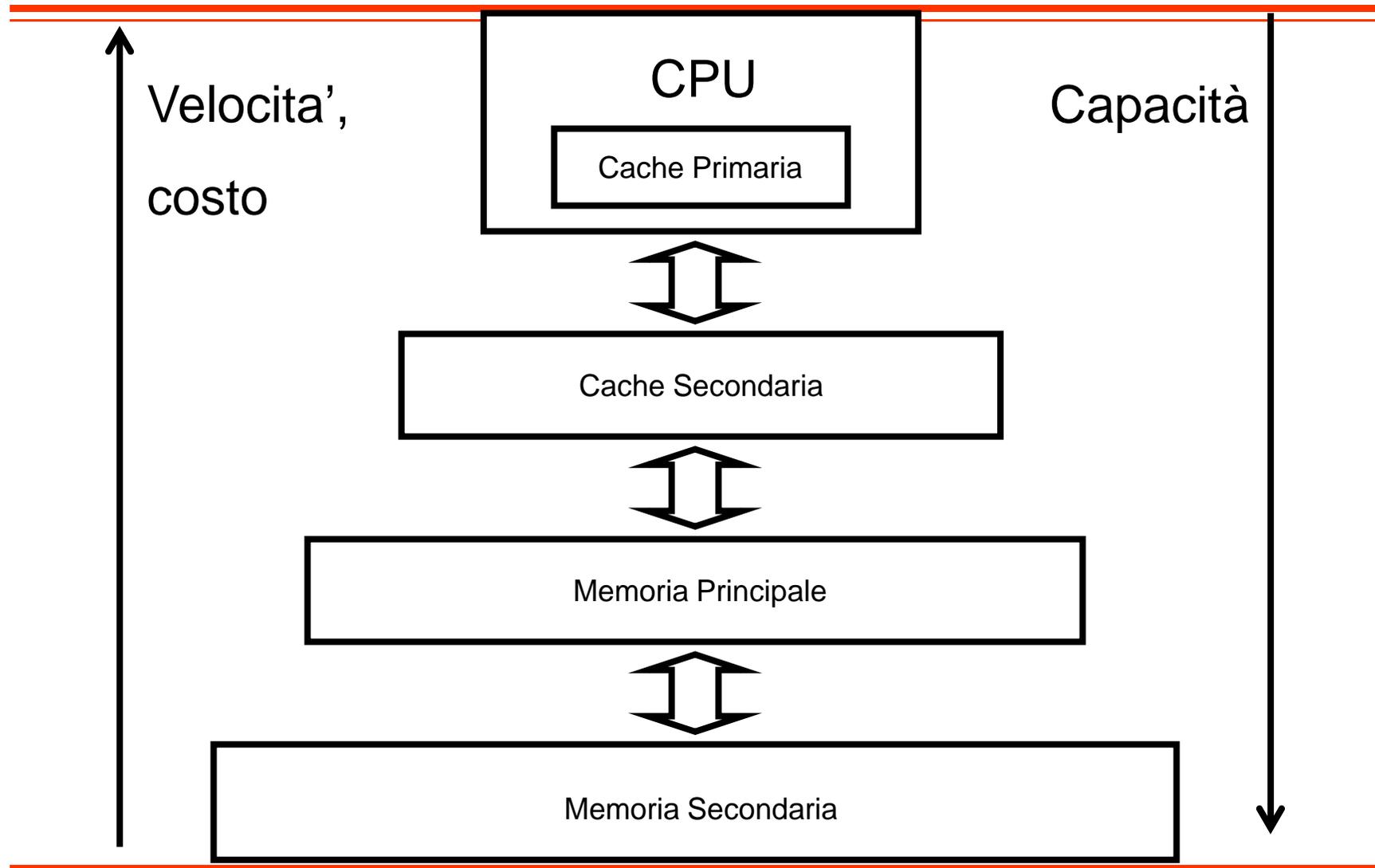
In base alle **operazioni consentite**, le memorie si dividono in:

- Memorie a sola lettura (Read Only Memory - ROM)
- Memorie a lettura/scrittura (Read Write Memory - RWM)

In base alla “**stabilità**” dell’ **informazione memorizzata**, le memorie si dividono in:

- Volatili
 - Non volatili
-

Gerarchia di Memoria



Celle elementari di memorie RAM

In base alla “**stabilità**” dell’ **informazione memorizzata**, le memorie RAM si dividono in:

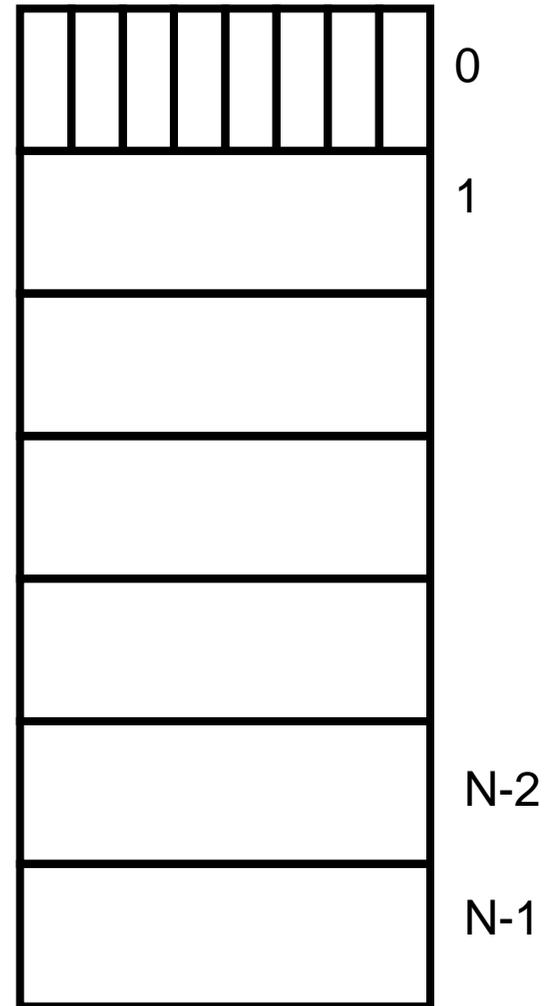
- statiche (SRAM)
 - l’informazione memorizzata è conservata nelle celle di memoria per un tempo indefinito o finchè non viene modificata tramite un’operazione di scrittura
 - dinamiche (DRAM)
 - l’informazione memorizzata nelle celle di memoria deve essere ripristinata periodicamente (operazione di **rinfresco della memoria**)
-

Parametri di una memoria RAM

- Capacità
 - Numero di dati che può contenere la memoria
 - Si esprime indicando il numero complessivo di registri e la dimensione in bit di un singolo registro
 - Tempo di accesso
 - Tempo necessario ad eseguire un'operazione di lettura/scrittura
 - È composto in generale da un tempo di *selezione* più un tempo di *trasferimento*
 - Casualità d'accesso
 - Il tempo d'accesso può essere indipendente (memorie ad accesso casuale) o dipendente (memorie ad accesso non casuale) dal particolare registro acceduto
 - Volatilità
 - Capacità di una memoria di mantenere in maniera stabile l'informazione memorizzata
-

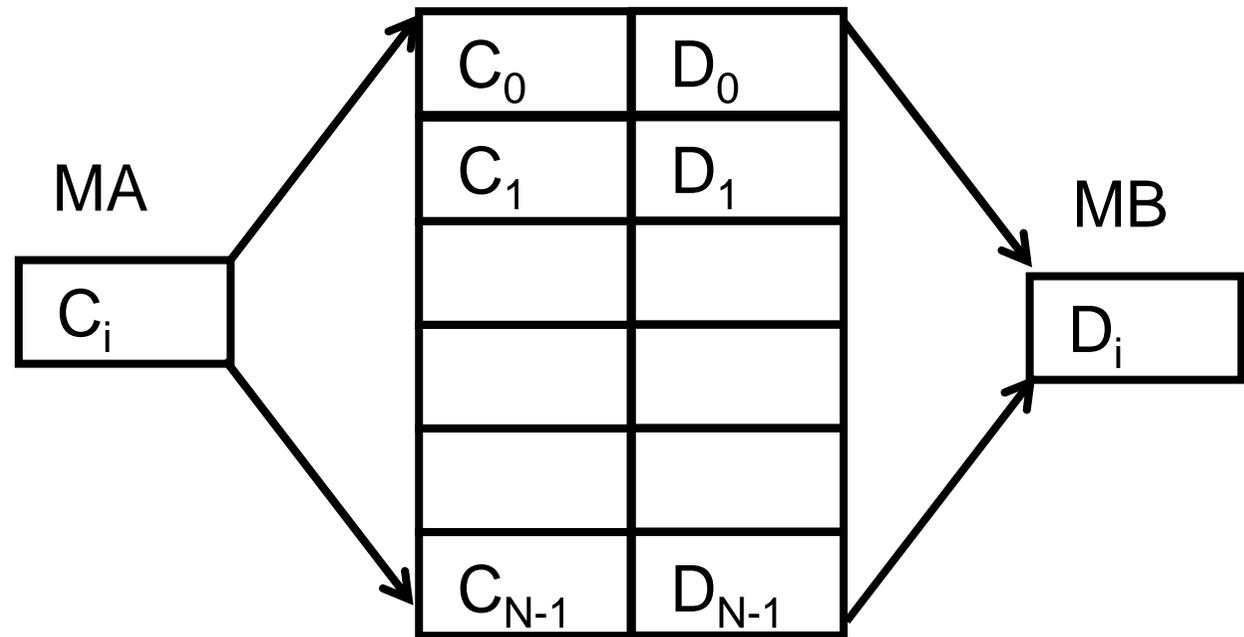
Memorie indirizzabili

- Ogni registro è univocamente individuato da un numero intero (indirizzo) che assume valori da 0 a $N-1$ (spazio di indirizzamento)

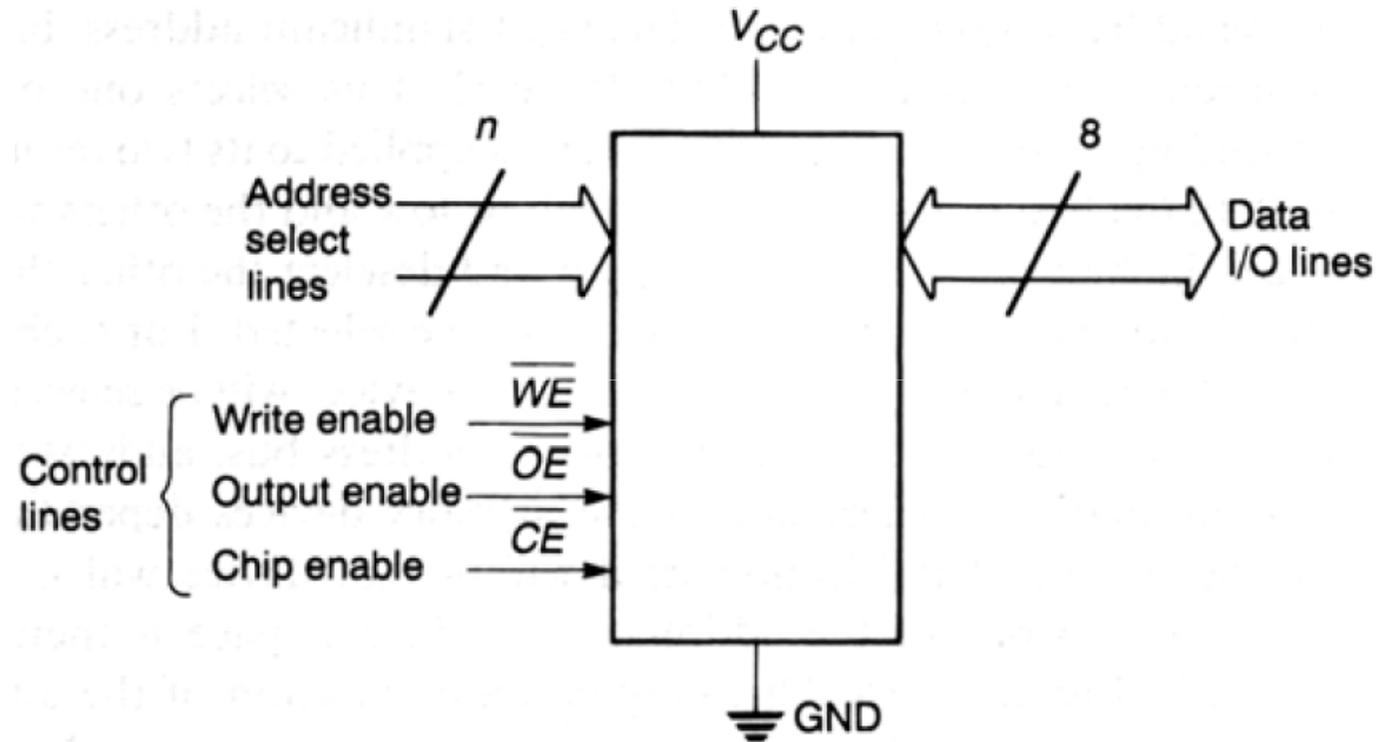


Selezione associativa – Schema di principio

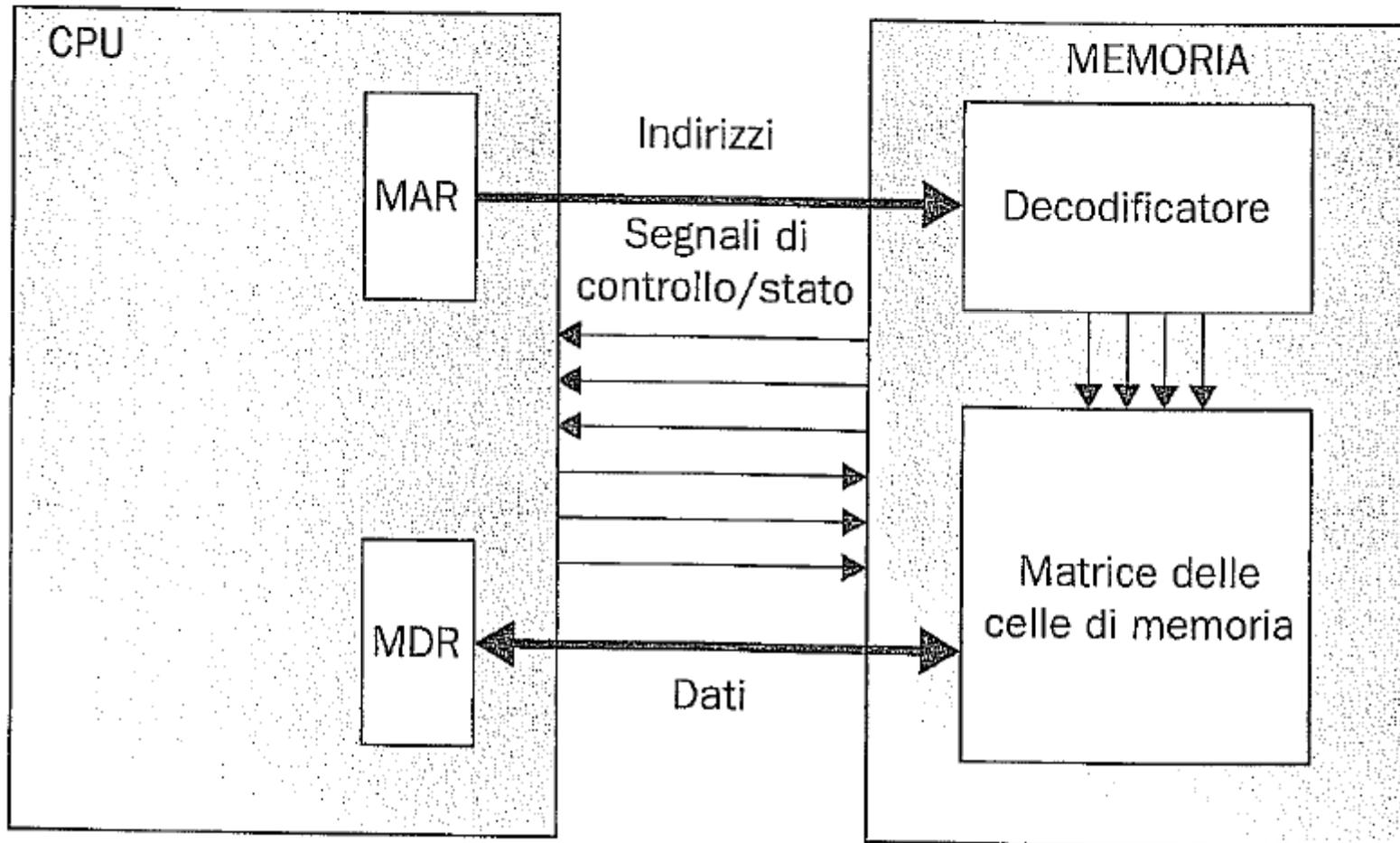
- Il dato è “indirizzato” dal valore della chiave



Dispositivo di memoria

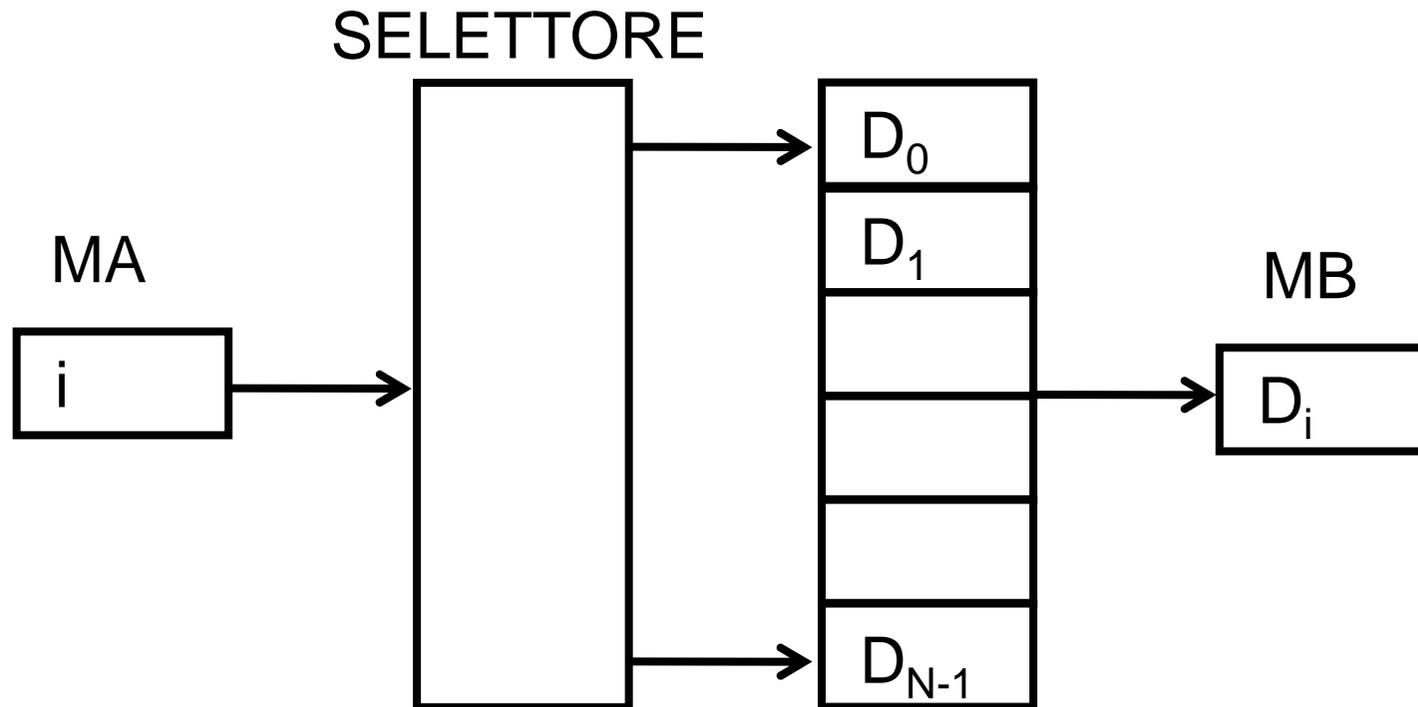


Collegamento CPU-memoria



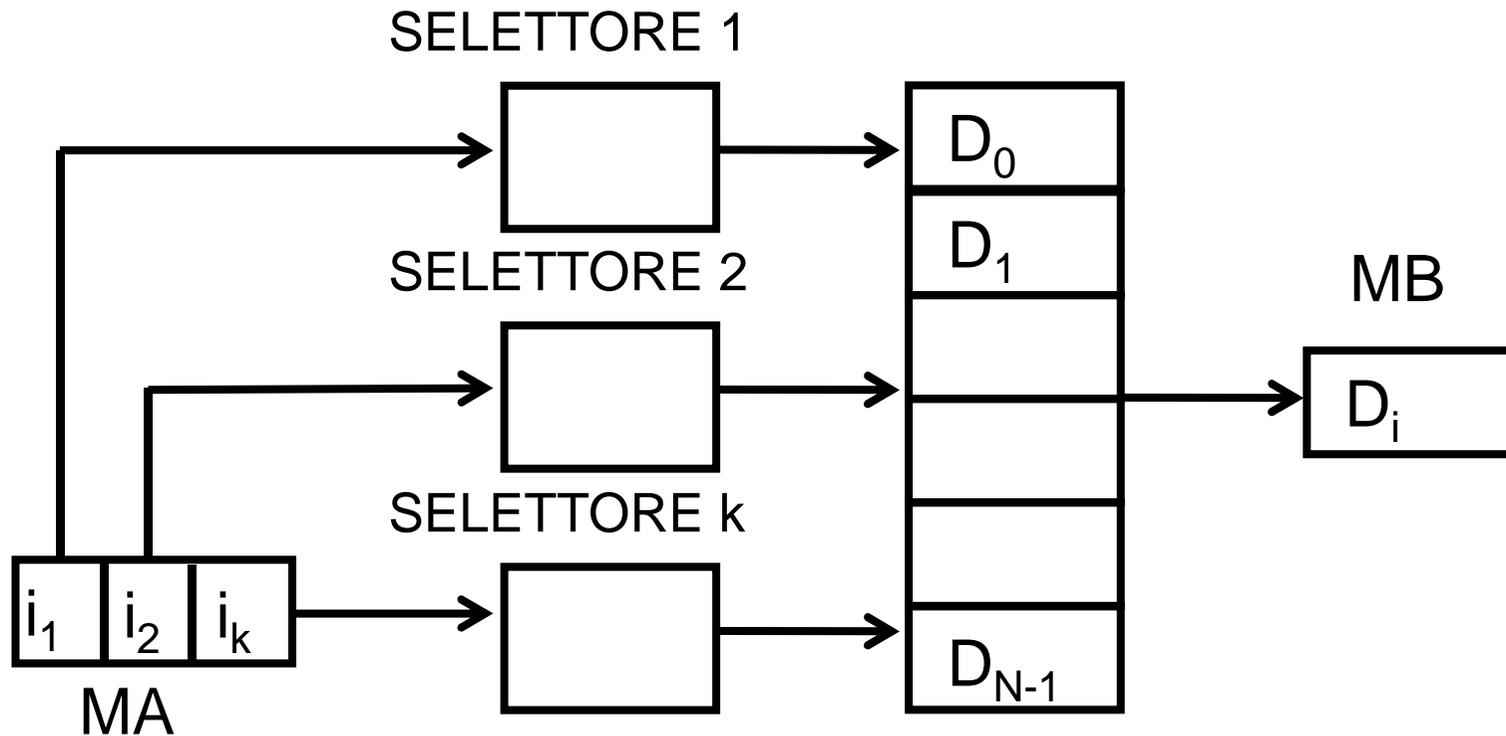
Selezione lineare – Schema di principio

- Esiste un unico sistema di selezione che seleziona direttamente e singolarmente ciascuno degli $N-1$ registri



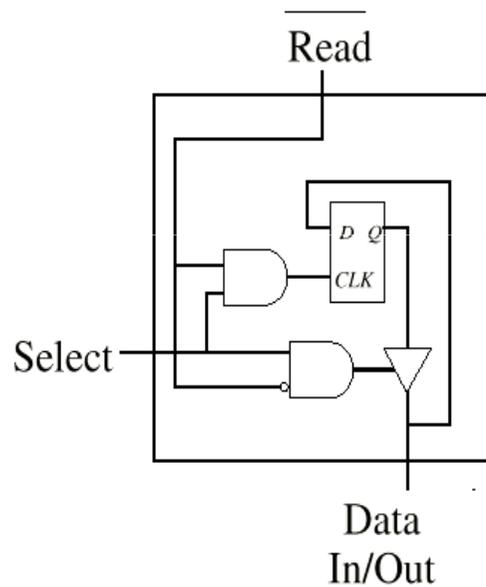
Selezione a più dimensioni – Schema di principio

- Il sistema di selezione è costituito da più sottosistemi, la cui azione combinata seleziona ciascuno degli $N-1$ registri

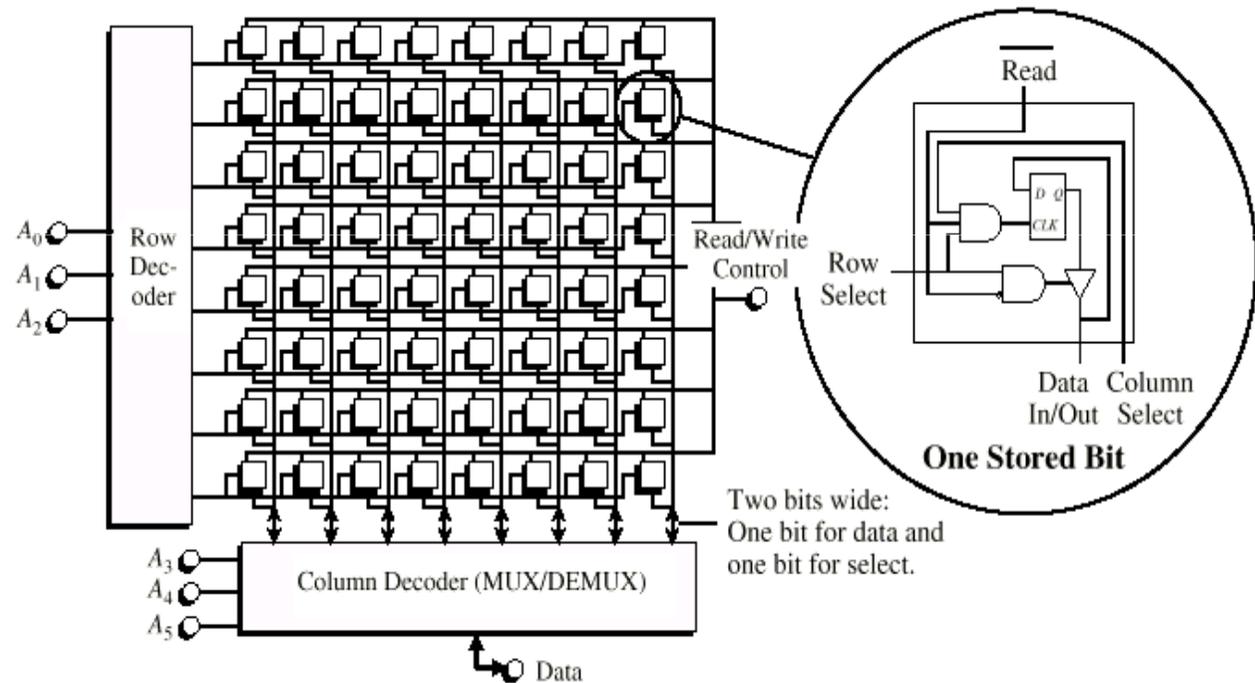


Selezione a più dimensioni – Semiselezione

Modello funzionale di una singola cella



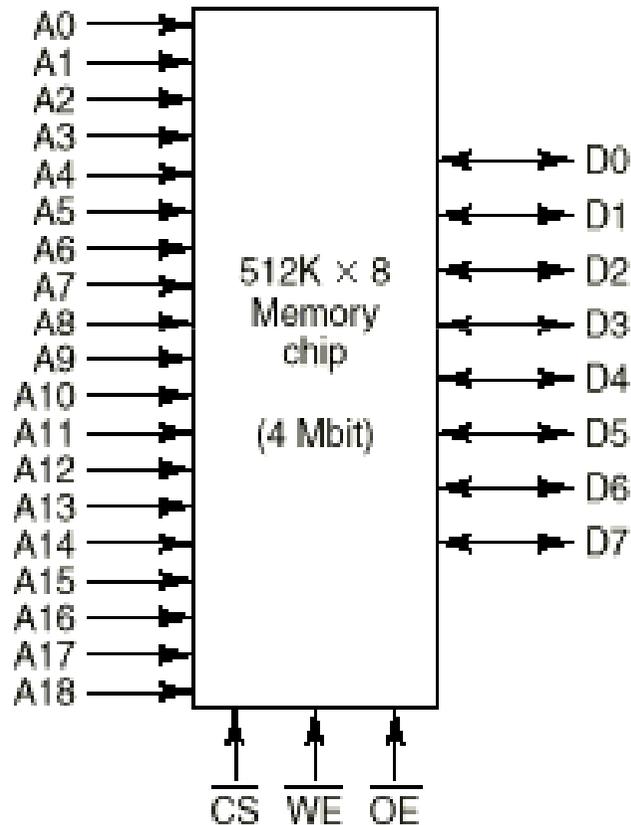
Modulo RAM da 64 word di un bit



È la struttura più diffusa nella realtà

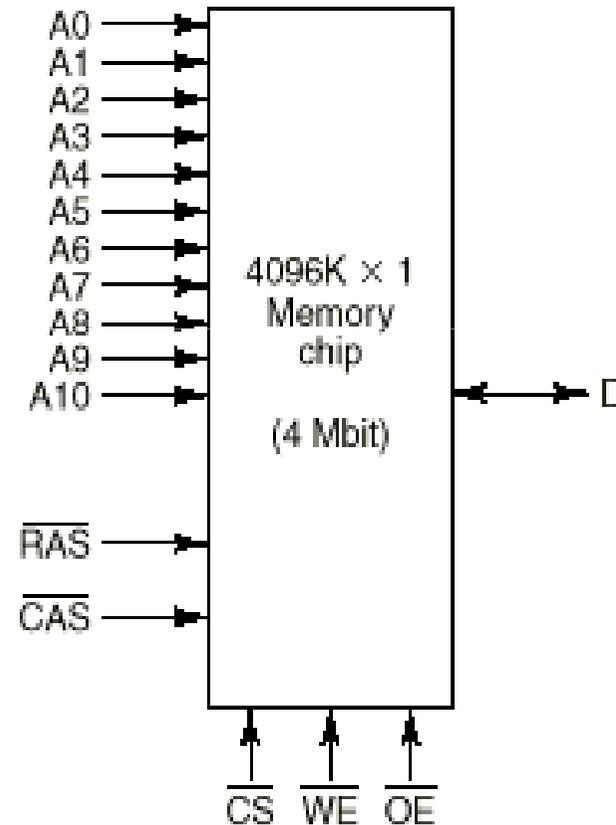
Esempi di chip di memoria

512 K * 8 bit



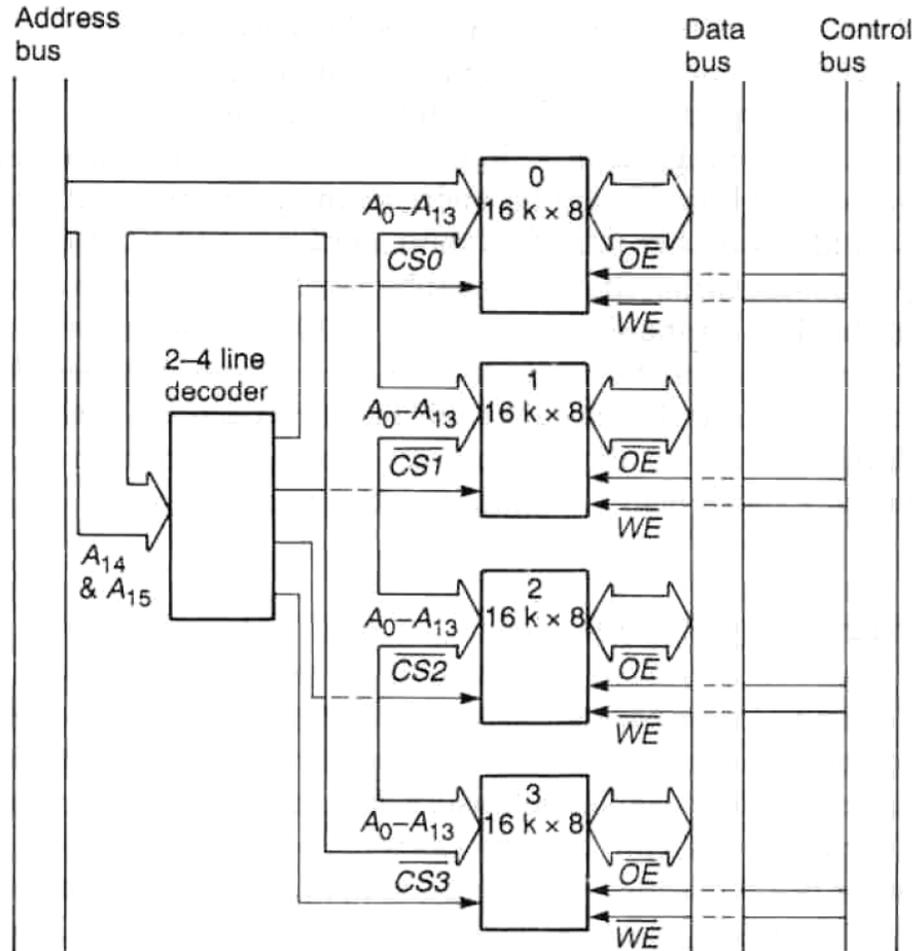
(a)

4096 K * 1 bit



(b)

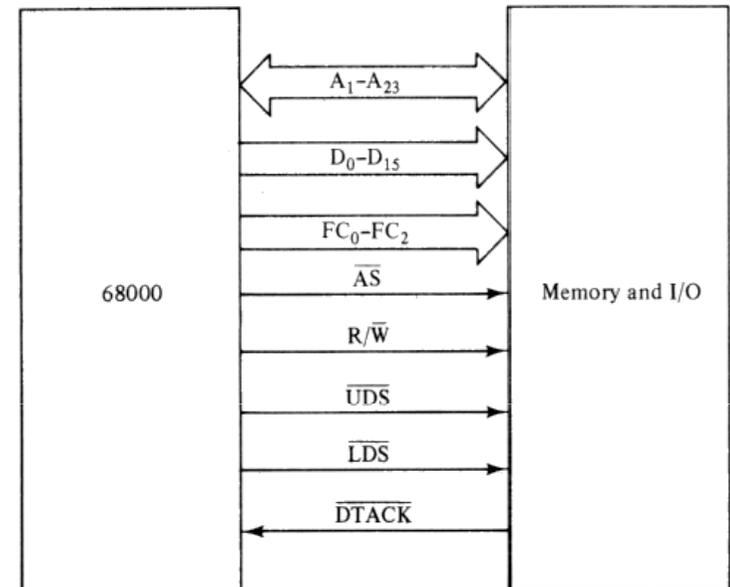
Collegamento di chip di memoria



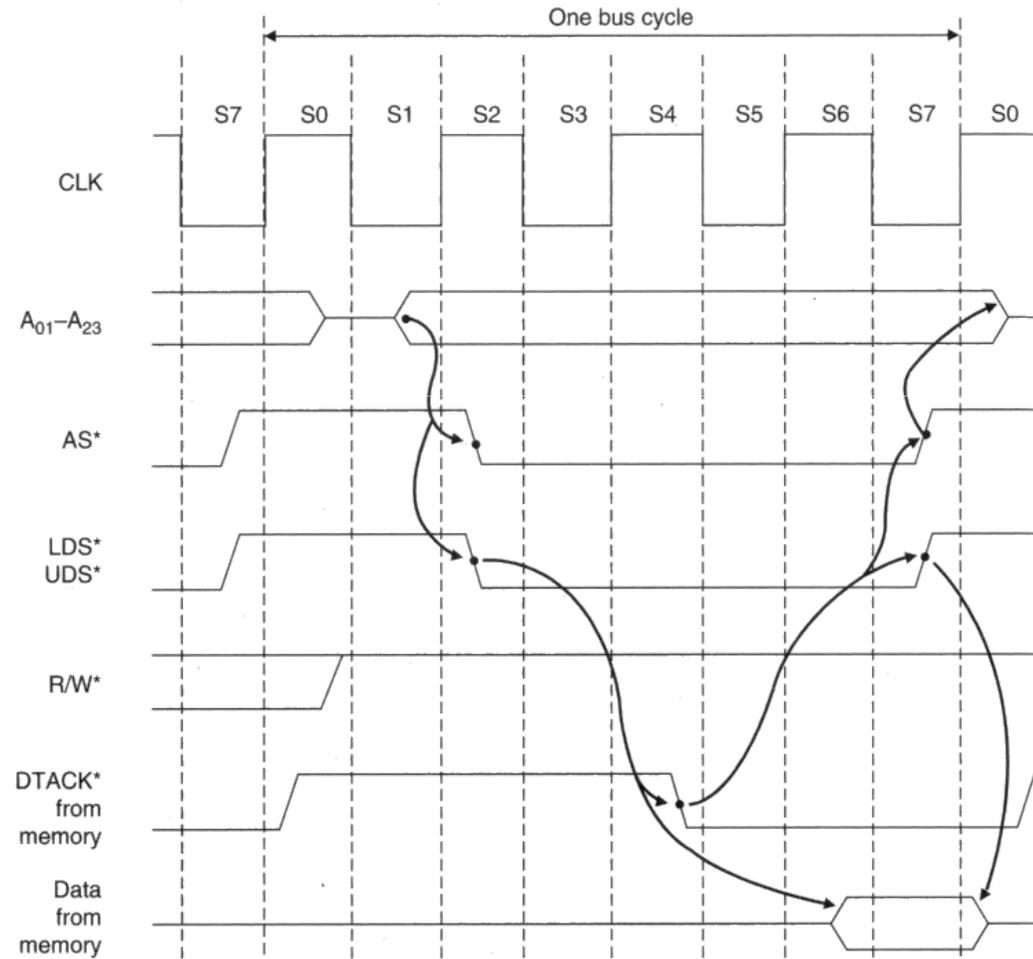
Address (hexadecimal)	Address (decimal)
FFFF	65 535
C000	49 152
BFFF	49 151
8000	32 768
7FFF	32 767
4000	16 384
3FFF	16 383
0	0

Interfacciamento asincrono CPU-memoria

- Il processore avvia un ciclo di lettura o scrittura in memoria (di un dato o una istruzione)
 - Mette un indirizzo su A1-A23
 - Attiva Address Strobe !AS
 - Attende la terminazione della operazione
- Il ciclo termina quando la memoria segnala la terminazione dell'operazione con un apposito segnale di riscontro !DTACK
- In questo modo il processore si adatta alla velocità della memoria
 - Il processore può interagire con memorie o periferiche di I/O lente
- Si osservi che gli stessi bus utilizzati per interfacciare CPU e memoria possono essere usati per interfacciare la CPU con le periferiche di I/O
 - I/O memory mapped



Tempificazione di un ciclo read



Interfacciamento sincrono CPU-memoria

- La memoria non usa più un segnale di riscontro !DTACK per indicare la terminazione di una operazione
- Un segnale di tempificazione E derivato dal clock di sistema determina la tempificazione del ciclo di lettura o scrittura che si sviluppa in un numero prefissato di cicli

