

Corso di Calcolatori Elettronici I

Flip-flop

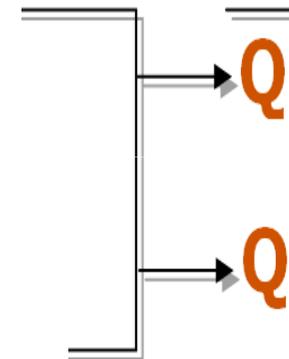


Università degli Studi di Napoli Federico II
Dipartimento di Ingegneria Elettrica e delle Tecnologie dell'Informazione
Corso di Laurea in Ingegneria Informatica
Corso di Laurea in Ingegneria dell'Automazione

I flip flop - 1

Generalità

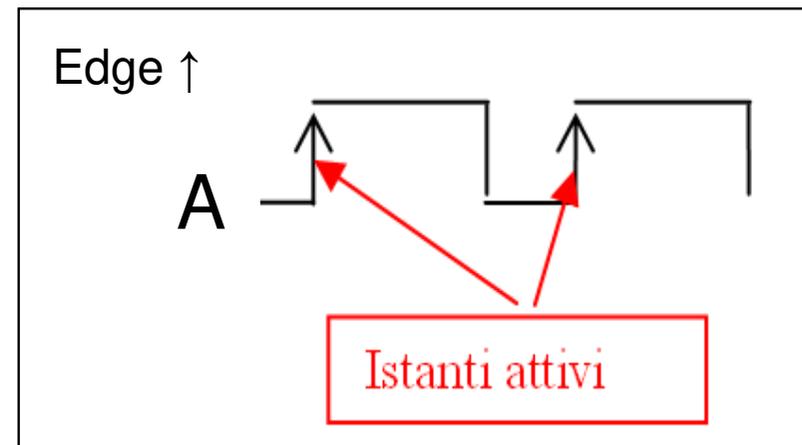
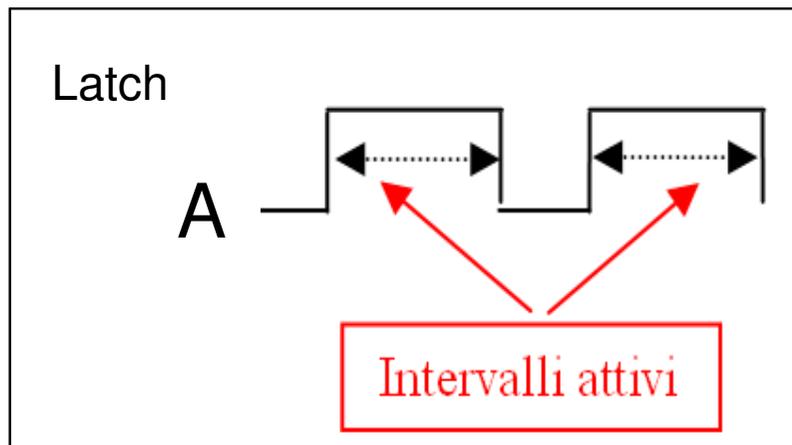
- Elementi fondamentali (semplici reti sequenziali)
 - per la memorizzazione
 - per la costituzione di registri
 - per la costruzione di reti sequenziali
- Memorizzano un bit avendo in uscita 2 stati stabili
 - *stato di SET*, o alto, o stato "1": $Q=1$, $\overline{Q}=0$;
 - *stato di RESET*, o basso, o stato "0": $Q=0$, $\overline{Q}=1$
- Hanno in ingresso diversi segnali da cui traggono il nome, p.e.
 - R,S; flip-flop RS
 - D; flip-flop D
 - T; J,K: flip-flop T, flip flop JK



I flip flop - 2

Tempificazione

- Flip-flop abilitato (o sincronizzato): possiede un segnale di ingresso, A, che ne abilita il funzionamento
- Un flip-flop abilitato può essere:
 - **Latch**: cattura gli ingressi sempre che sia A=attivo (p.e. A=1)
 - **Edge triggered**: cattura gli ingressi in corrispondenza di una variazione di A (fronte di salita: $0 \rightarrow 1$, o di disceso $1 \rightarrow 0$)



I flip flop - 3

Struttura

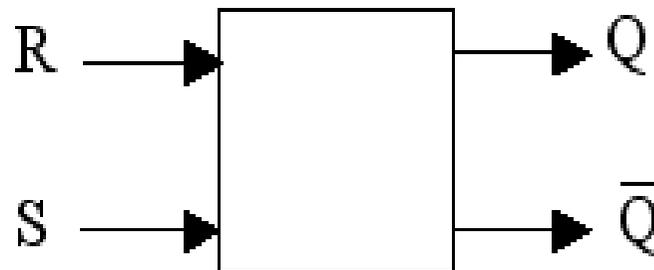
- Un Flip-flop è caratterizzato da.
 - **Struttura interna**, che può essere di una rete asincrona (vedi esempio di RS) o sincrona (vedi in seguito).
 - Una **equazione di stato**, che (al di là della struttura) indica l'uscita seguente in funzione dell'uscita precedente e degli ingressi.
-

I flip flop - 4

- Flip-flop
 - **A memorizzazione dell'ingresso (RS, D)**
 - **A commutazione (T, JK)**
 - **Misti**

Esempio: Flip-flop RS

- Memorizza un bit di informazione
- Ingressi impulsivi → mai alti contemporaneamente
 - **Vincolo $RS=0$**
 - Impulso su S (set) → $Q=1, \bar{Q}=0$
 - Impulso su R (reset) → $Q=0, \bar{Q}=1$
 - Per $R=S=0$ mantiene l'uscita precedente
- Escluse transizioni RS = ... → 00 → **01** → **10** → 00... (a lee multiple)



Flip flop RS fondamentale

Descrizione comportamento

SR		stati				uscita Q
		00	01	11	10	
Q ₀	Q ₁	Q ₀	Q ₀	--	Q ₁	0
Q ₁	Q ₀	Q ₁	Q ₀	--	Q ₁	1

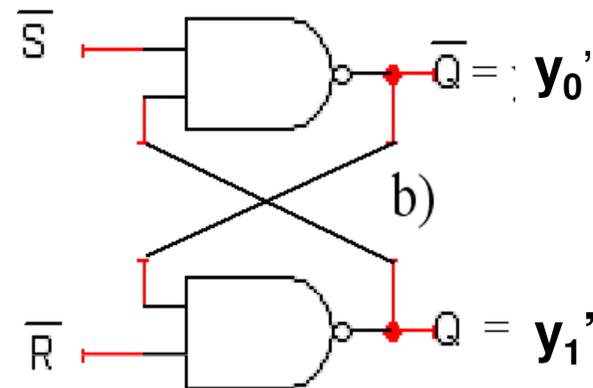
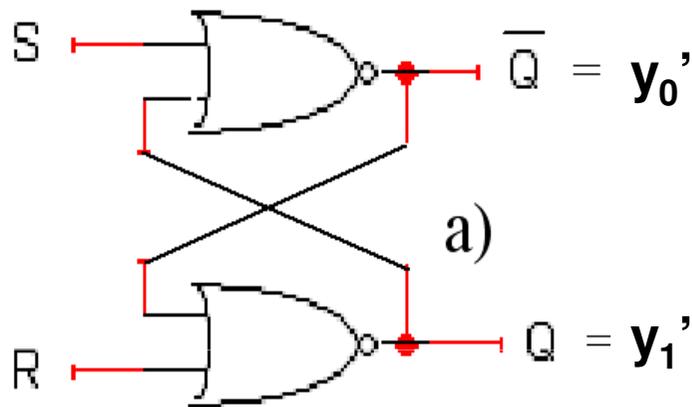
Dati tre ingressi R,S e Q_p

RS		Q _p			
		00	01	11	10
0	1		1	--	
1	0	1	1	--	

Equazione di stato

$$Q = S + Q_p \bar{R}$$

Flip-flop RS: analisi del funzionamento



La fig. mostra la rete che realizza il flip-flop fondamentale RS in logica NOR (a) e NAND (b). Si noti preliminarmente che la rete è realizzata con 2 variabili di stato invece dell'unica che sarebbe possibile realizzando direttamente la equazione di stato. La realizzazione del flip flop in logica NOR (NAND) può facilmente ottenersi progettandolo come rete sequenziale asincrona in cui il passaggio dallo stato stabile 01 (10) allo stato stabile 10 (01) avviene attraverso lo stato instabile 00 (11).

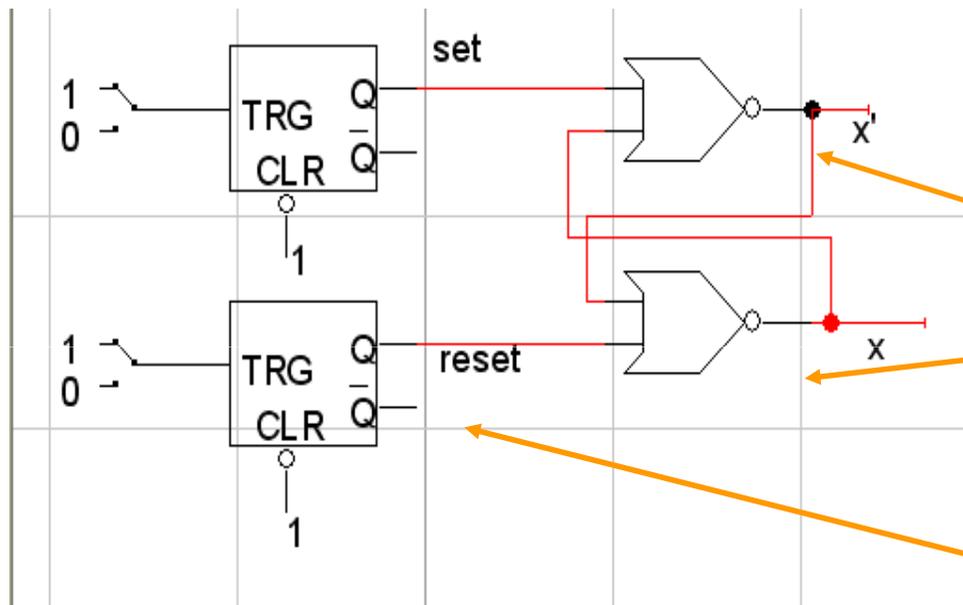
Flip-flop RS: stati stabili e transizioni

RS

$y_0' y_1'$

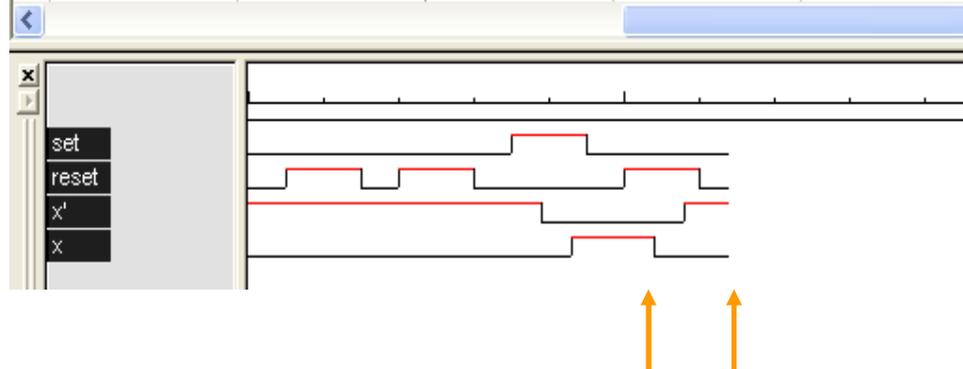
	00	01	11	10
10	10	00	00	10
00	11	01	00	10
01	01	01	00	00
11	00	00	00	00

Flip-flop RS: tempificare durata dell'input



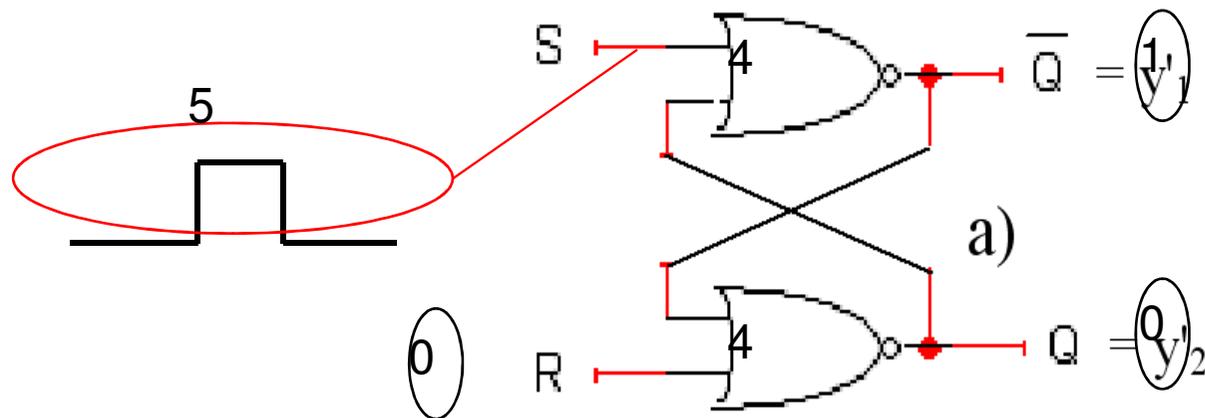
Le NAND hanno un ritardo di 4 unità di tempo

Gli impulsi in ingresso hanno durata **10** unità di tempo



Che succede per tempificazione errata?

- o Si parte da stato **10** sotto ingressi **RS=00**
- o Ritardo di porte = 4 unità di tempo τ
- o Input $d=5\tau$ (errore di progetto)



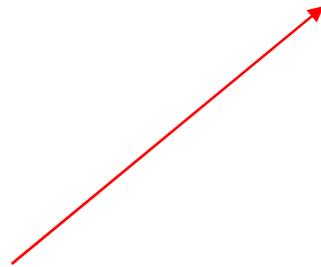
Tra 5τ e 8τ lo stato è **00**, sotto l'ingresso **RS=00**

La macchina comincia ad oscillare tra gli stati **00** e **11** sotto l'ingresso **RS=00**

Flip-flop RS: tempificare durata dell'input

RS = ... 00 → 01 → 00...

Stato = ... 10 → 00 → 11 → 00 → 11 →

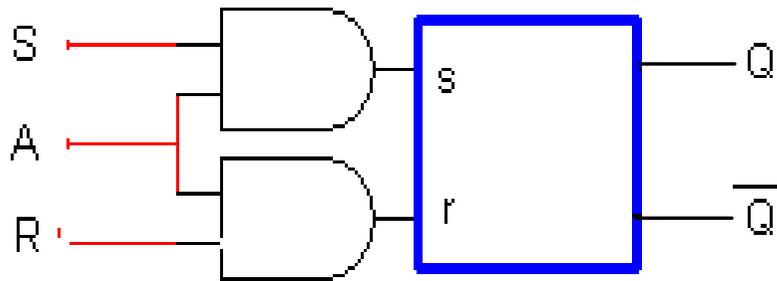


La macchina non ha il tempo di spostarsi sul nuovo stato stabile

		RS			
$y_0' y_1'$		00	01	11	10
10		10	00	00	10
00		11	01	00	10
01		01	01	00	00
11		00	00	00	00

Un RS abilitato con tempificazione latch

Possibile realizzazione di un flip-flop RS abilitato con tempificazione di tipo latch a partire da un RS asincrono



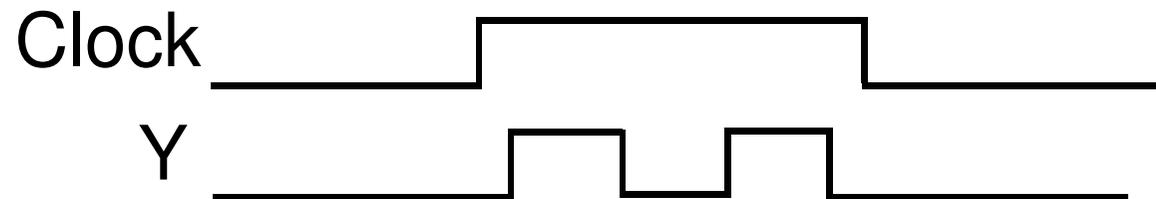
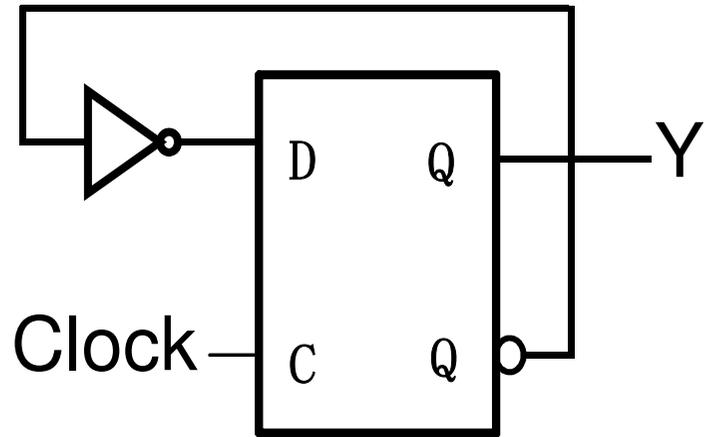
Tempificazione nel caricamento dei registri: latch

Con riferimento ai registri a sincronizzazione esterna, il modello fondamentale è anche detto di *registro latch*,

Un registro di tipo latch cattura l'ingresso-dati per tutto l'intervallo δ in cui è attivo il segnale di abilitazione s

Il registro fondamentale a sincronizzazione esterna può infatti funzionare anche nell'ipotesi di sequenza di ingresso non impulsiva: una variazione di stato può infatti avvenire anche mentre è $s=1$, in concomitanza con una variazione di D . Ad esempio (vedi tabella 5.3b), con la sequenza $n_1x_1x_2$ il registro raggiungerebbe l'uscita u_2 . Il segnale di abilitazione agisce, in tal caso, come livello abilitante nel senso che, durante tutto il tempo che è attivo, ogni variazione sugli ingressi D viene "catturata" e trasferita nel registro.

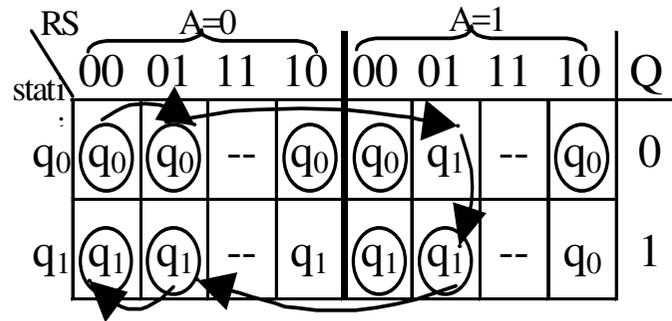
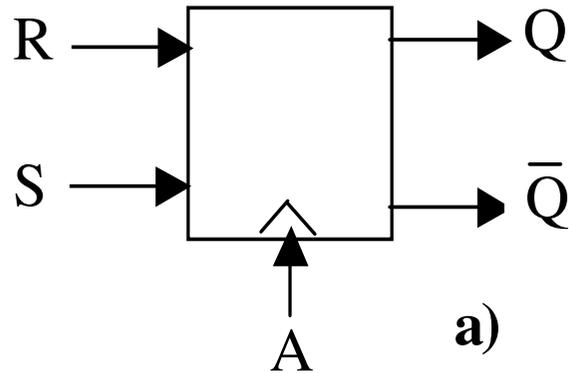
Problemi di tempificazione con i Latch



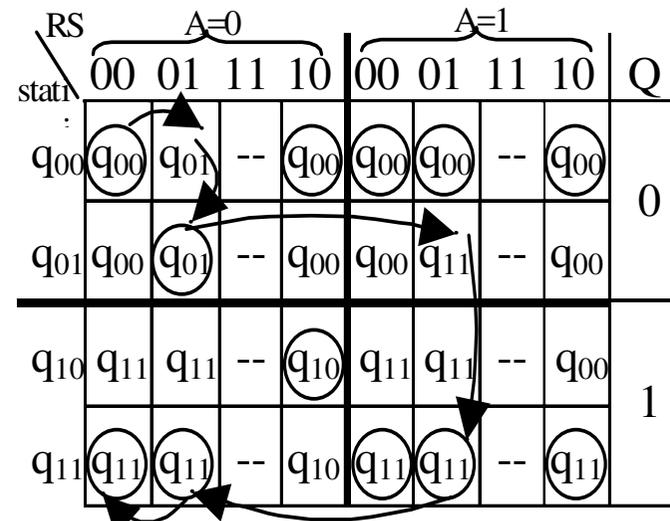
Tempificazione edge triggered

Un registro edge-triggered è uno sensibile alla variazione del segnale di abilitazione s piuttosto che ad un suo valore.

RS: sincronizzazione latch ed edge triggered

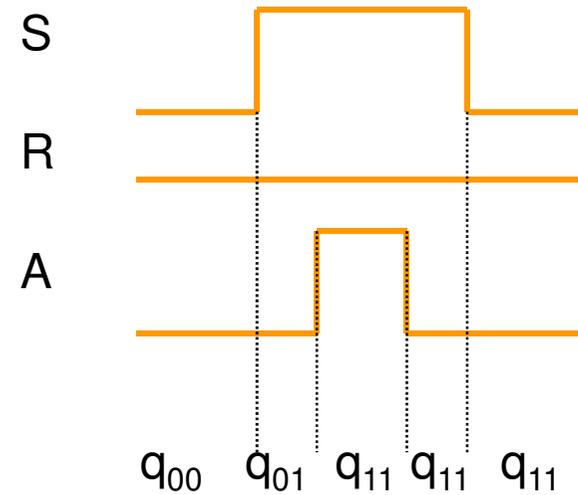
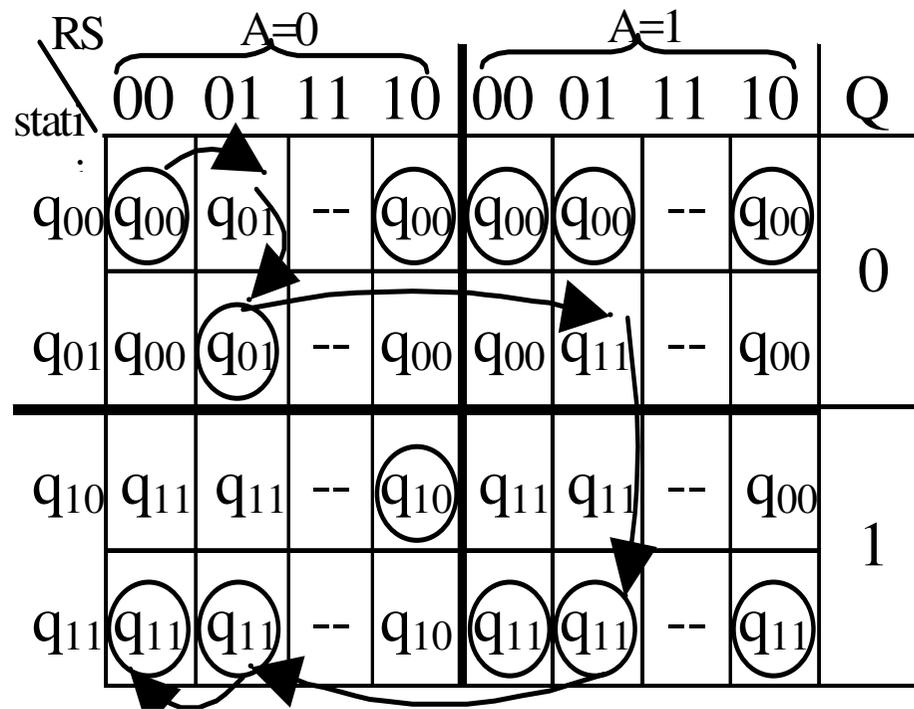


Latch



A variazione del fronte
(edge-triggered)

Un RS sincronizzato – edge-triggered

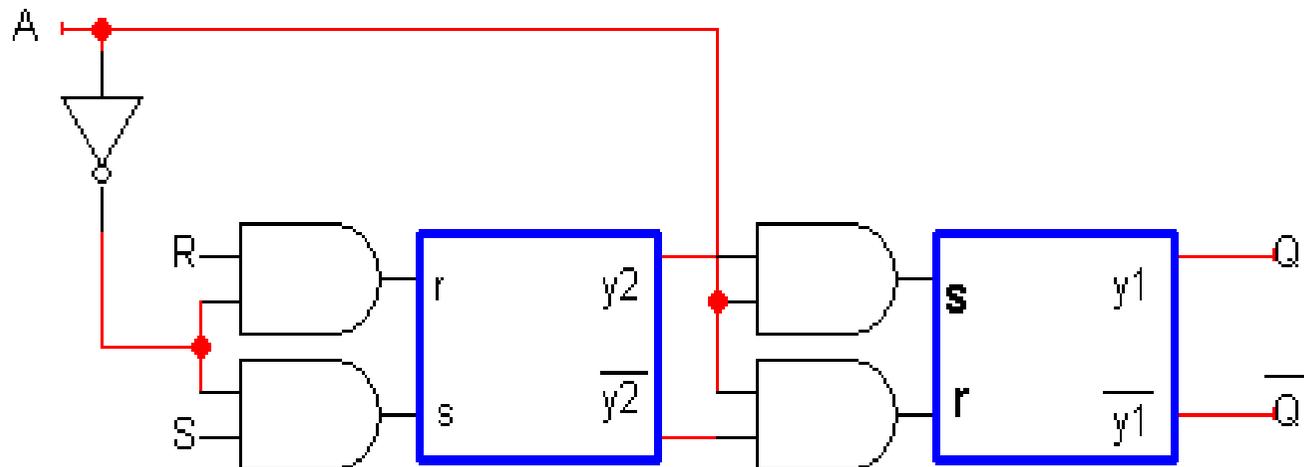


A	S	R	Q
0	-	-	Q _p
↑	0	0	Q _p
↑	0	1	0
↑	1	0	1
1	-	-	Q _p

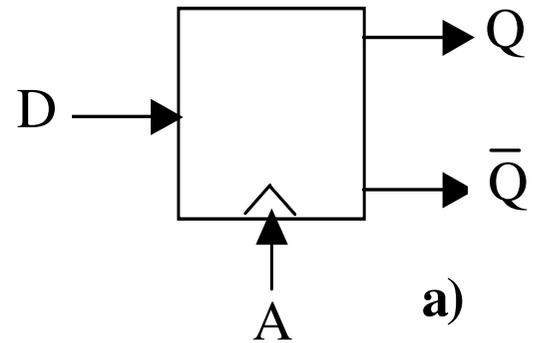
RS edge-triggered

Possibile realizzazione di un flip-flop RS sincronizzato edge-triggered sul fronte di salita:

- quando $A=0$, il latch di sinistra “cattura” il segnale su R o su S e
- appena A passa da 0 ad 1 (fronte di salita), y2 è ricopiato in $y1=Q$ mentre gli ingressi del latch di sinistra restano neutri lasciandolo bloccato



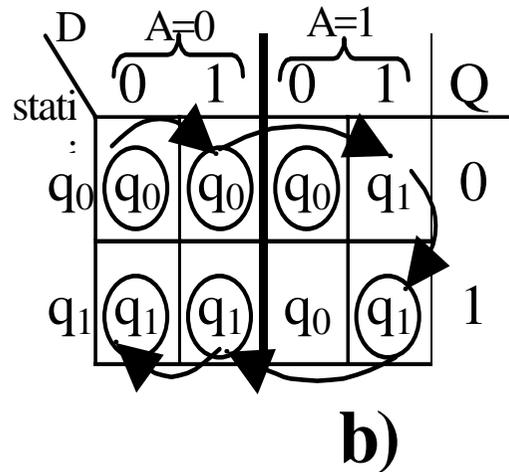
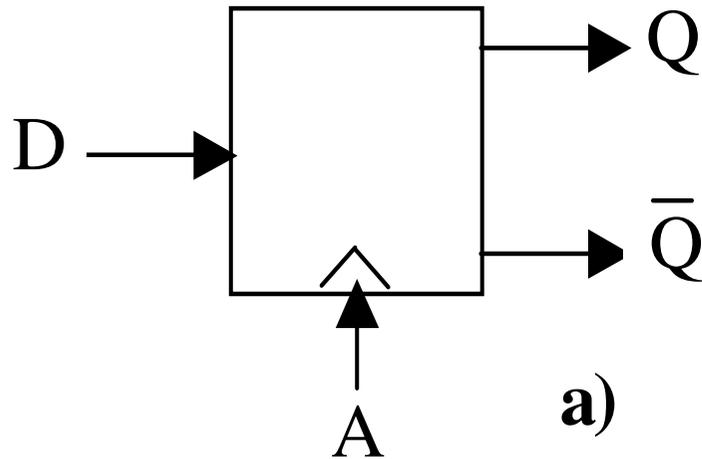
Flip flop D



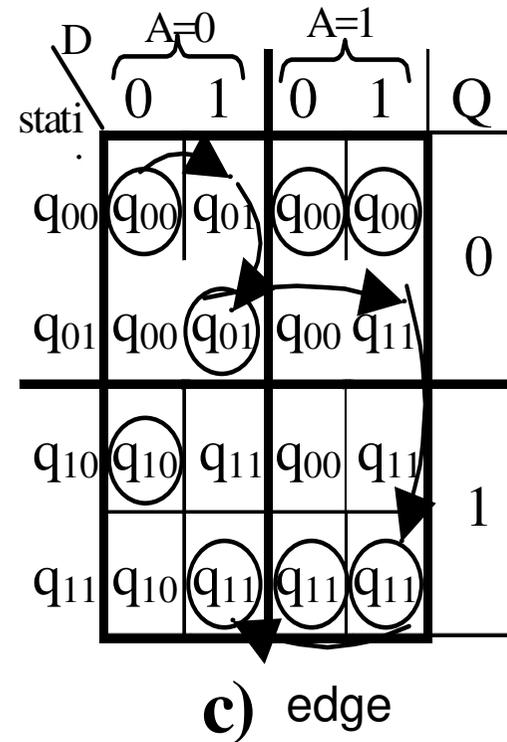
Equazione di stato:

$$Q = AD + \bar{A}Q_p$$

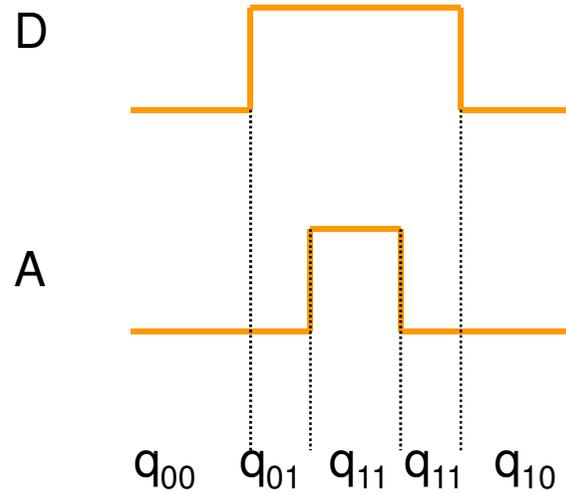
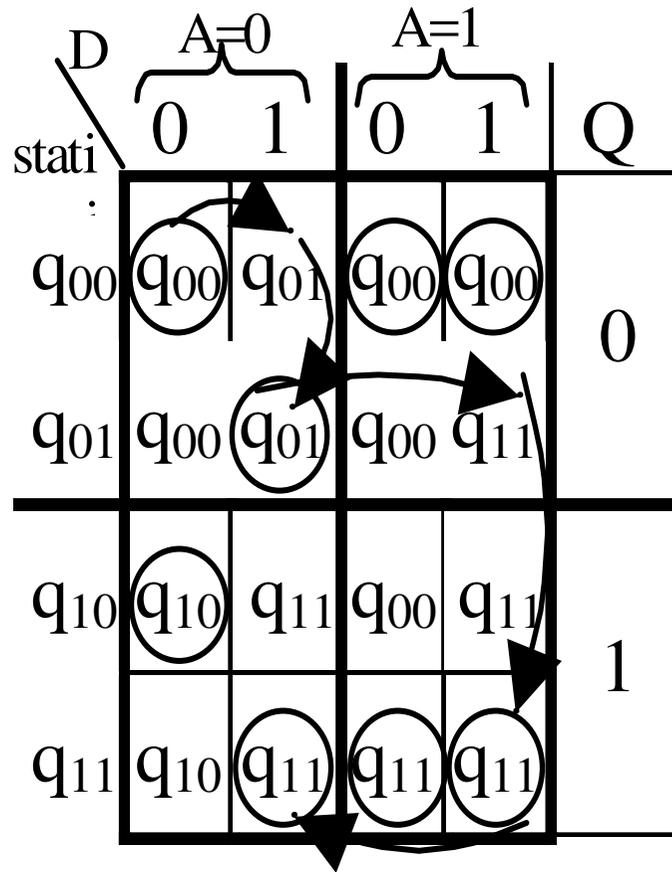
Flip flop D



latch



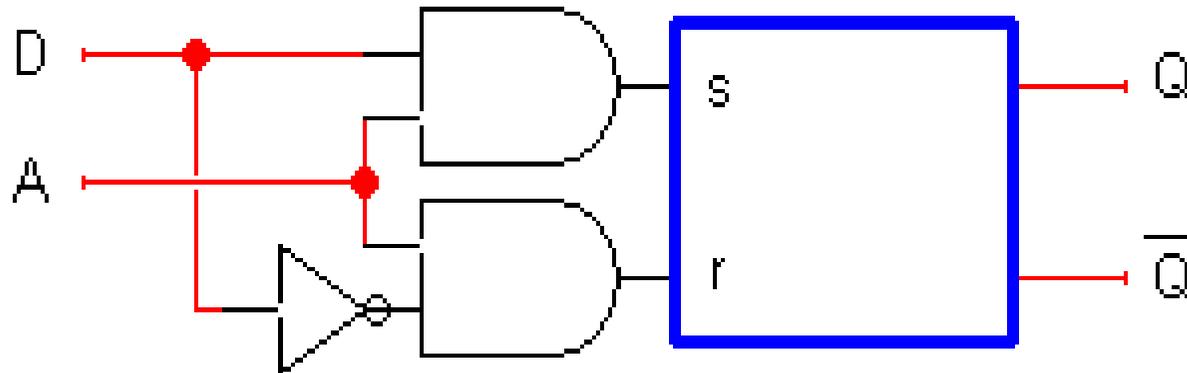
Flip flop D



A	D	Q
0	-	Q _p
↑	0	0
↑	1	1
1	-	Q _p

Flip-flop D: realizzazione come latch

Di concezione semplice, si realizza con RS

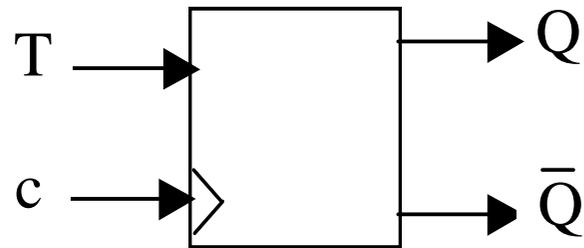


$$S = AD$$
$$R = A\overline{D}$$

Flip-Flop a commutazione

- un valore di ingresso provoca la *commutazione* dello stato piuttosto che indicarne esplicitamente il valore
 - due tipi
 - T: ha solo l'ingresso di commutazione
 - JK: analogo all'RS, con ingressi $JK=11$ corrispondenti all'ingresso di commutazione
-

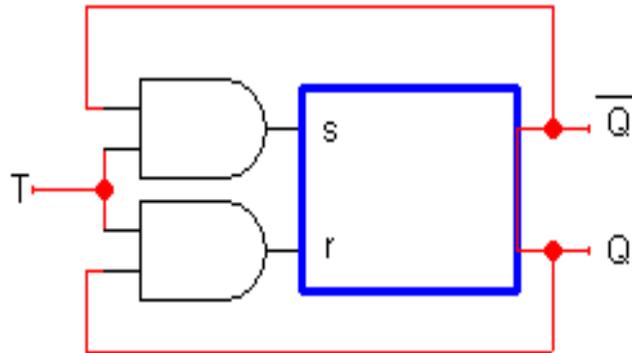
Flip-Flop T abilitato



L'impulso sull'abilitazione c fa commutare il flip-flop se $T = 1$

Flip-Flop T: realizzazione

Possibili realizzazioni circuitali del flip-flop T come macchina sincrona impulsiva



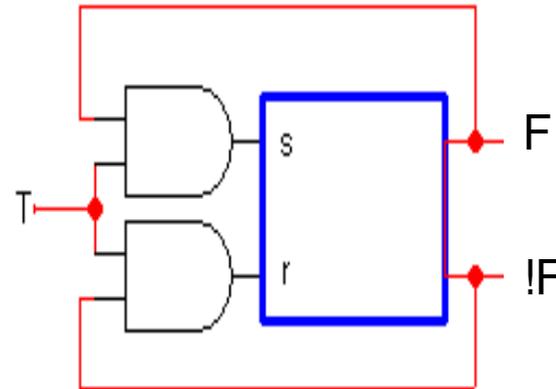
con RS fondamentale

Flip-Flop T sincrono con RS latch: tempificazione

- Equazioni caratteristiche

$$R = T \cdot \bar{F}$$

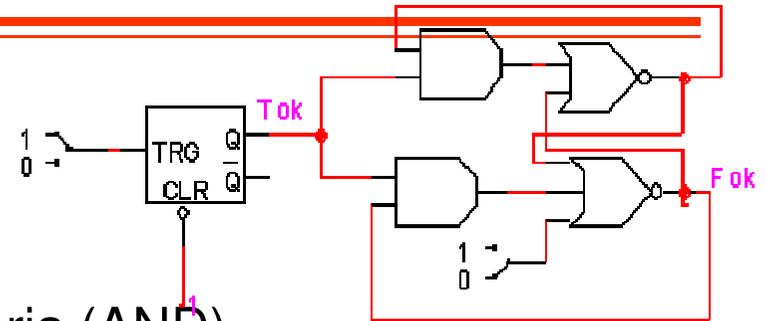
$$S = T \cdot F$$



- La corretta tempificazione dipende dalla durata di T
-

Flip-Flop T sincrono con RS latch: tempificazione

- Siano
 - W la durata dell'impulso in ingresso
 - R il ritardo delle porte OR
 - C il ritardo dell'intera rete combinatoria (AND)
- Vincoli
 - $W > 2R$ affinché il ff RS (asincrono!) possa effettuare la transizione di stato
 - $W < C$ affinché il ff T non (sincrono!) non si porti in uno stato indesiderato
- Condizione

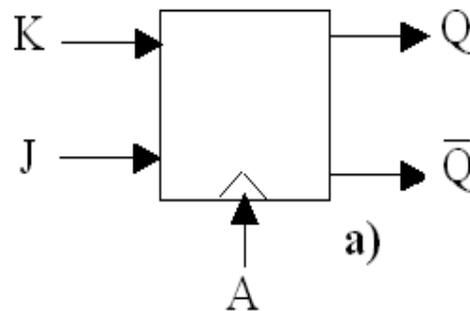


$$2R < W < 2R + C$$

Flip-Flop JK

E' un flip-flop sincronizzato definito come segue:

- quando l'ingresso impulsivo di sincronizzazione A è attivo, i due ingressi J , K si comportano rispettivamente come S , R se sono attivi separatamente...
- mentre producono la commutazione se lo sono simultaneamente



Flip-Flop JK

KJ \ stati	A=0				A=1				Q
	00	01	11	10	00	01	11	10	
q ₀₀	q ₀₀	q ₀₁	q ₀₁	q ₀₀	0				
q ₀₁	q ₀₀	q ₀₁	q ₀₁	q ₀₀	q ₀₀	q ₁₁	q ₁₁	q ₀₀	
q ₁₀	q ₁₁	q ₁₁	q ₁₀	q ₁₀	q ₁₁	q ₁₁	q ₀₀	q ₀₀	1
q ₁₁	q ₁₁	q ₁₁	q ₁₀	q ₁₀	q ₁₁	q ₁₁	q ₁₁	q ₁₁	

JK asincrono edge-triggered
