

I flip flop - 1

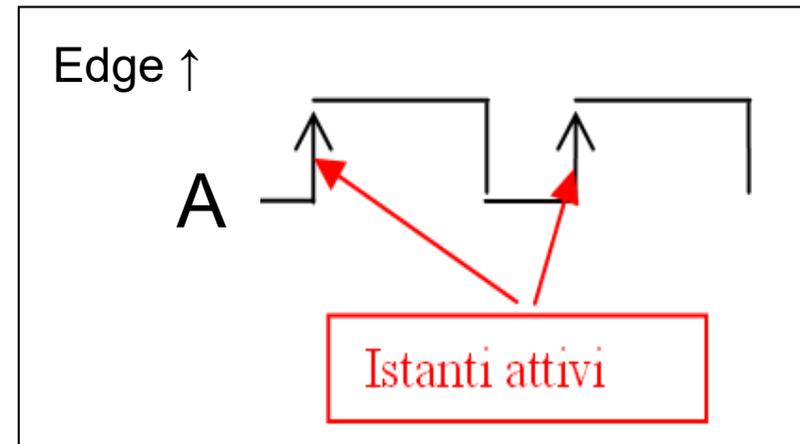
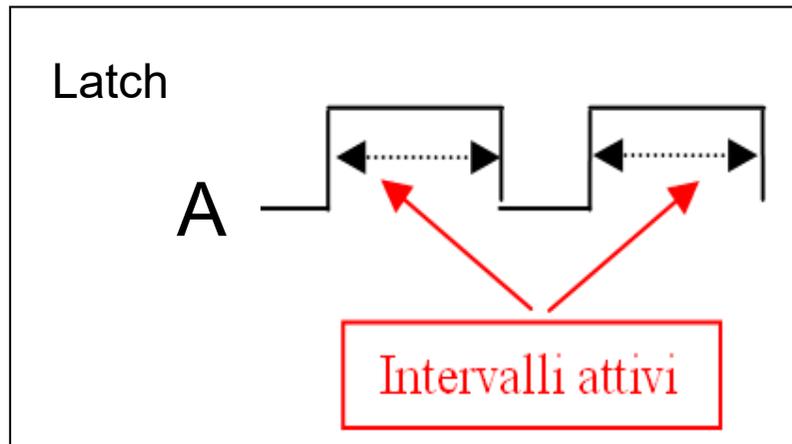
Generalità

- Elementi fondamentali (semplici reti sequenziali)
 - per la memorizzazione
 - per la costituzione di registri
 - per la costruzione di reti sequenziali
 - Memorizzano un bit, presentando in uscita (Q) 2 stati stabili:
 - stato di *SET*, o alto, o stato “1”: $Q=1$;
 - stato di *RESET*, o basso, o stato “0”: $Q=0$
 - Hanno in ingresso diversi segnali da cui traggono il nome, per esempio:
 - flip-flop RS: ingressi R (reset) e S (set)
 - flip-flop D: ingresso D (dato)
 - flip-flop T: ingresso T (trigger)
 - flip-flop JK: ingressi J e K
-

I flip flop - 2

Tempificazione

- Flip-flop abilitato (o sincronizzato): possiede un segnale di ingresso (A) che ne abilita il funzionamento
- Un flip-flop abilitato può essere:
 - **Latch**: cattura gli ingressi in tutto il periodo in cui A è attivo (es., $A=1$)
 - **Edge triggered**: cattura gli ingressi in corrispondenza di una variazione di A (fronte di salita: $0 \rightarrow 1$, o di discesa $1 \rightarrow 0$)



I flip flop - 3

Struttura

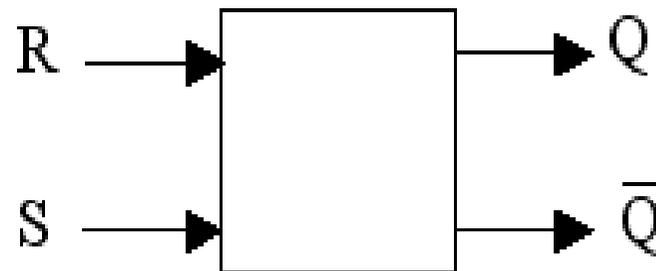
- Un Flip-flop è caratterizzato da:
 - **Struttura interna**, che può essere di una rete asincrona (vedi esempio di RS) o sincrona (vedi in seguito).
 - Una **equazione di stato**, che (al di là della struttura) indica l'uscita seguente in funzione dell'uscita precedente e degli ingressi.
-

I flip flop - 4

- Flip-flop
 - a memorizzazione dell'ingresso (RS, D)
 - a commutazione (T, JK)
 - Misti
-

Flip-flop RS

- Memorizza un bit di informazione
- Ingressi impulsivi
 - **Vincolo $RS=0$** (mai alti contemporaneamente)
 - Impulso su S (set) $\rightarrow Q=1, !Q=0$
 - Impulso su R (reset) $\rightarrow Q=0, !Q=1$
 - Per $R=S=0$ mantiene l'uscita precedente
- Escluse transizioni RS = $\dots \rightarrow 00 \rightarrow \mathbf{01} \rightarrow \mathbf{10} \rightarrow 00 \dots$ (a lee multiple)



Flip flop RS fondamentale

Descrizione
comportamento

SR					uscita
stati	00	01	11	10	Q
Q ₀	Q ₀	Q ₀	--	Q ₁	0
Q ₁	Q ₁	Q ₀	--	Q ₁	1

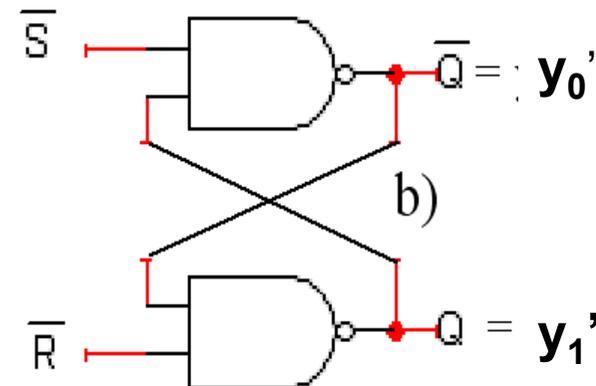
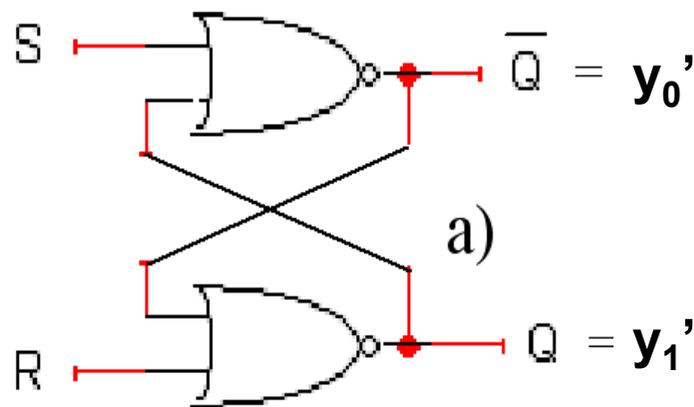
Dati tre ingressi R,S e
Q_p (stato precedente)

SR				
Q _p	00	01	11	10
0	0	0	-	1
1	1	0	-	1

Equazione di stato

$$Q = S + Q_p \bar{R}$$

Flip-flop RS: analisi del funzionamento



La fig. mostra la rete che realizza il flip-flop fondamentale RS in logica NOR (a) e NAND (b). Si noti preliminarmente che la rete è realizzata con 2 variabili di stato invece dell'unica che sarebbe possibile realizzando direttamente la equazione di stato. La realizzazione del flip flop in logica NOR (NAND) può facilmente ottenersi progettandolo come rete sequenziale asincrona in cui il passaggio dallo stato stabile 01 (10) allo stato stabile 10 (01) avviene attraverso lo stato instabile 00 (11).

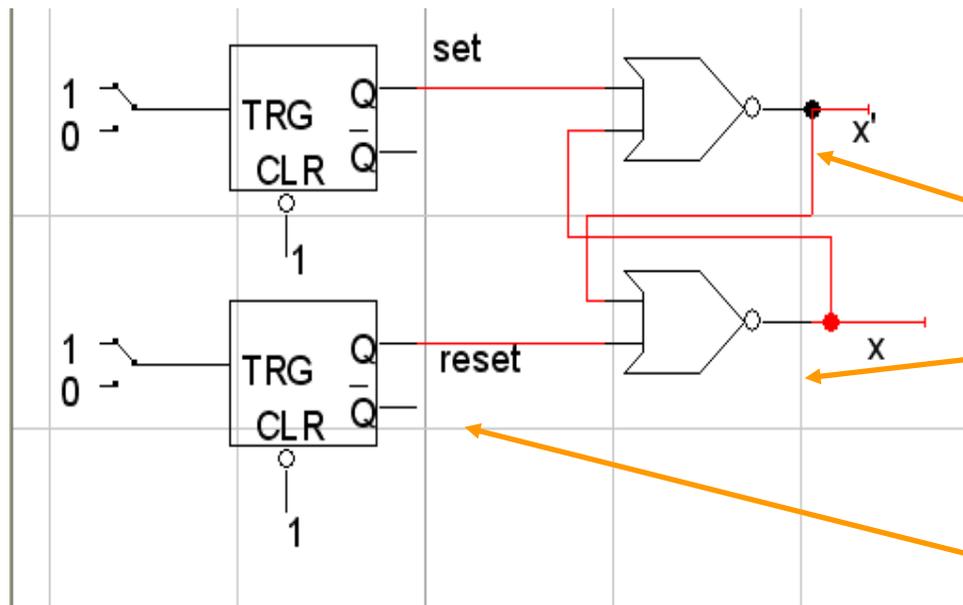
Flip-flop RS: stati stabili e transizioni

RS

$y_0' y_1'$

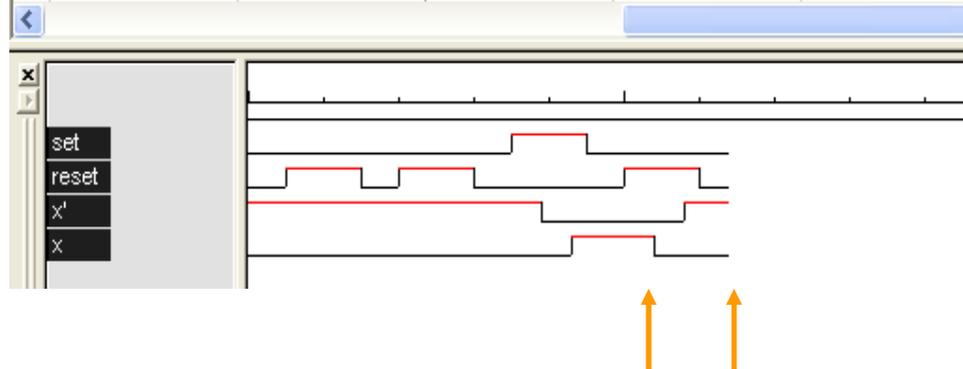
	00	01	11	10
10	10	00	00	10
00	11	01	00	10
01	01	01	00	00
11	00	00	00	00

Flip-flop RS: tempificare durata dell'input



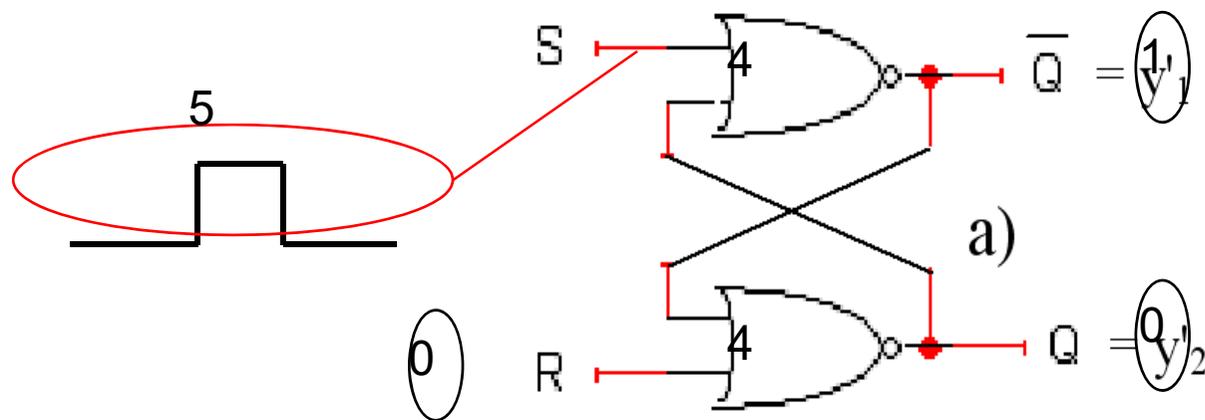
Le NAND hanno un ritardo di 4 unità di tempo

Gli impulsi in ingresso hanno durata **10** unità di tempo



Che succede per tempificazione errata?

- o Si parte da stato **10** sotto ingressi **RS=00**
- o Ritardo di porte = 4 unità di tempo τ
- o Input $d=5\tau$ (errore di progetto)



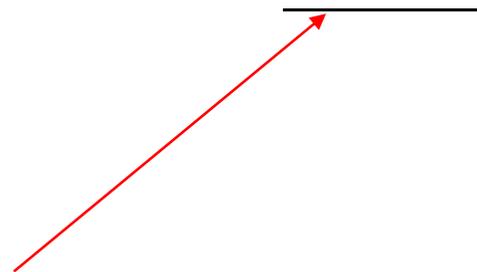
Tra 5τ e 8τ lo stato è **00**, sotto l'ingresso **RS=00**

La macchina comincia ad oscillare tra gli stati **00** e **11** sotto l'ingresso **RS=00**

Flip-flop RS: tempificare durata dell'input

RS = ...00 → 01 → 00...

Stato = ...10 → 00 → .. → 11 → 00 → 11 →



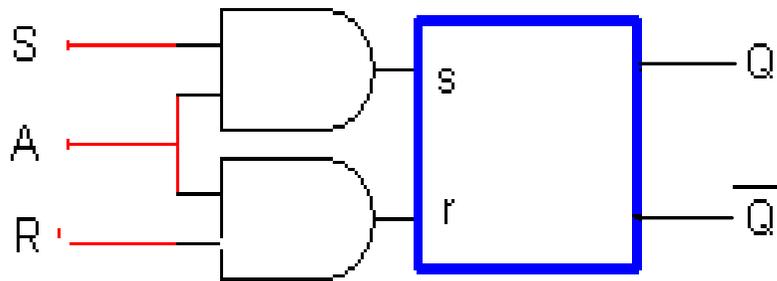
La macchina non ha il tempo di spostarsi sul nuovo stato stabile

$y_0' y_1'$

	RS			
	00	01	11	10
10	10	00	00	10
00	11	01	00	10
01	01	01	00	00
11	00	00	00	00

Un RS abilitato con tempificazione latch

Possibile realizzazione di un flip-flop RS abilitato con tempificazione di tipo latch a partire da un RS asincrono



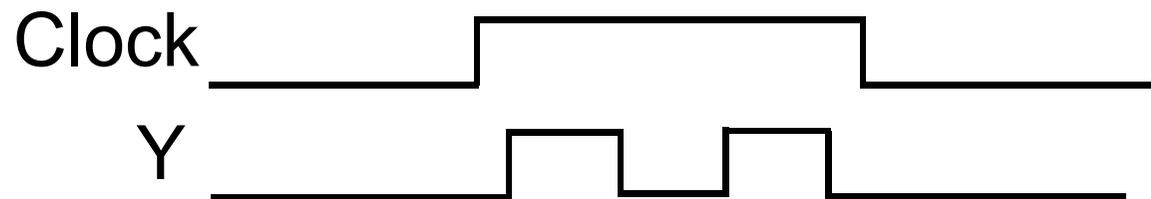
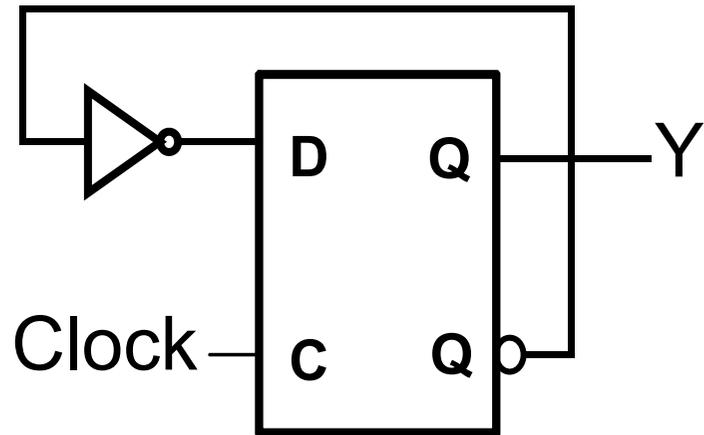
Tempificazione nel caricamento dei registri: latch

Con riferimento ai registri a sincronizzazione esterna, il modello fondamentale è anche detto di *registro latch*,

Un registro di tipo latch cattura l'ingresso-dati per tutto l'intervallo δ in cui è attivo il segnale di abilitazione s

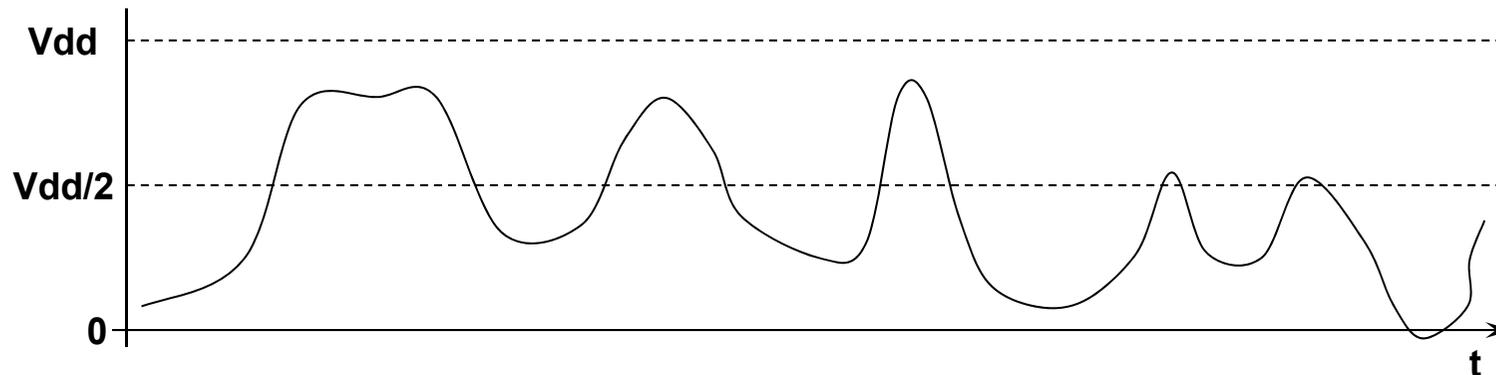
Il registro fondamentale a sincronizzazione esterna può infatti funzionare anche nell'ipotesi di sequenza di ingresso non impulsiva: una variazione di stato può infatti avvenire anche mentre è $s=1$, in concomitanza con una variazione di D . Ad esempio (vedi tabella 5.3b), con la sequenza $n_1x_1x_2$ il registro raggiungerebbe l'uscita u_2 . Il segnale di abilitazione agisce, in tal caso, come *livello abilitante* nel senso che, durante tutto il tempo che è attivo, ogni variazione sugli ingressi D viene "catturata" e trasferita nel registro.

Problemi di tempificazione con i Latch

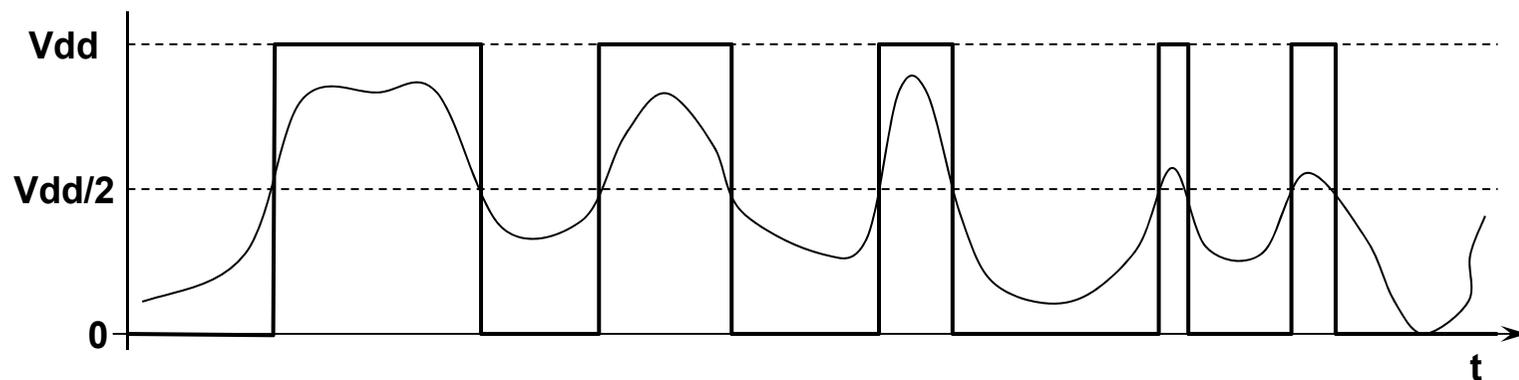


I segnali elettrici come funzioni del tempo

- Un segnale elettrico è una tensione variabile nel tempo

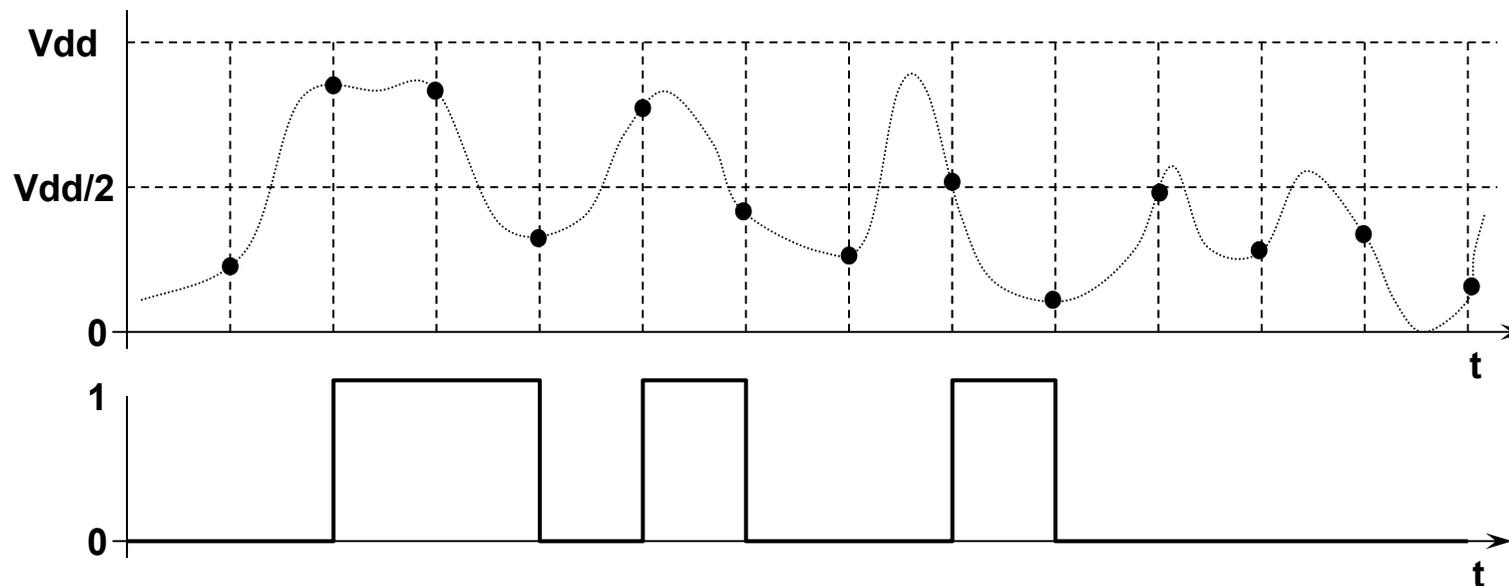


- I segnali binari sono rappresentati tipicamente mediante due livelli di tensione di un segnale elettrico



I segnali elettrici come funzioni del tempo

- Il segnale binario è un segnale variabile con continuità
- In un intervallo di tempo $t=t_1-t_0$ il segnale assume infiniti valori, corrispondenti agli infiniti istanti tra t_0 e t_1
- Si ricorre al concetto di *tempo discreto* in cui il numero di istanti discreti in un intervallo $t=t_1-t_0$ è finito



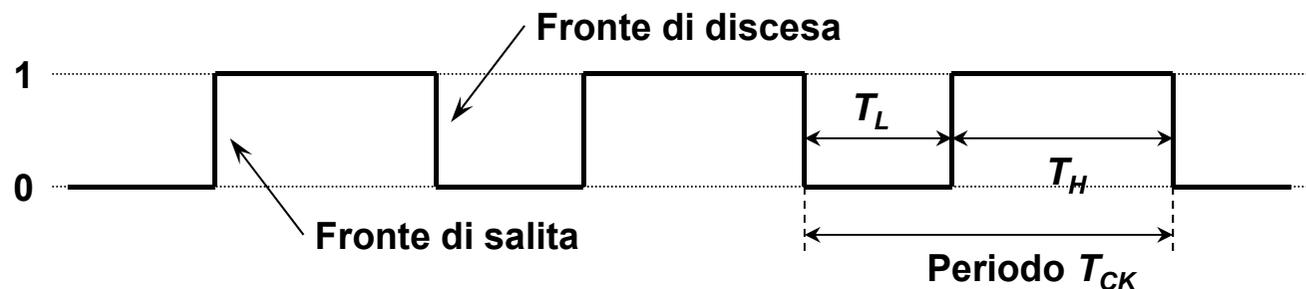
Il segnale di clock

- Il valore del segnale elettrico viene letto o *campionato* in istanti determinati
- Gli istanti in cui deve essere *campionato* il segnale elettrico sono scanditi da un apposito segnale detto *clock*
- Un *clock* ha le seguenti caratteristiche:
 - E' un segnale binario
 - E' un segnale periodico
- Spesso nei sistemi digitali, tutti i componenti con memoria (flip-flop e memorie) “leggono” gli ingressi nello stesso istante, scandito dal segnale di clock

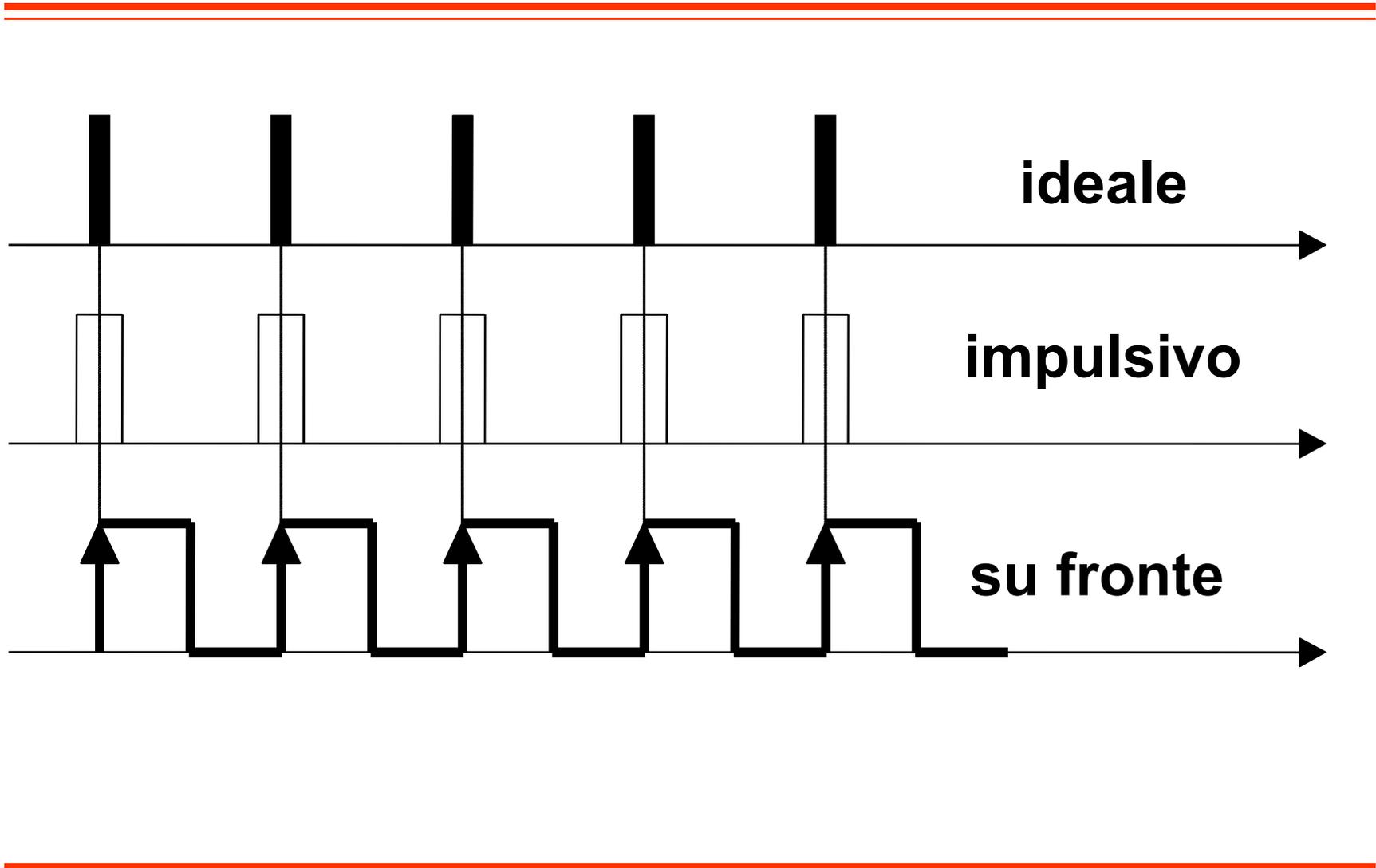


Il concetto di tempo

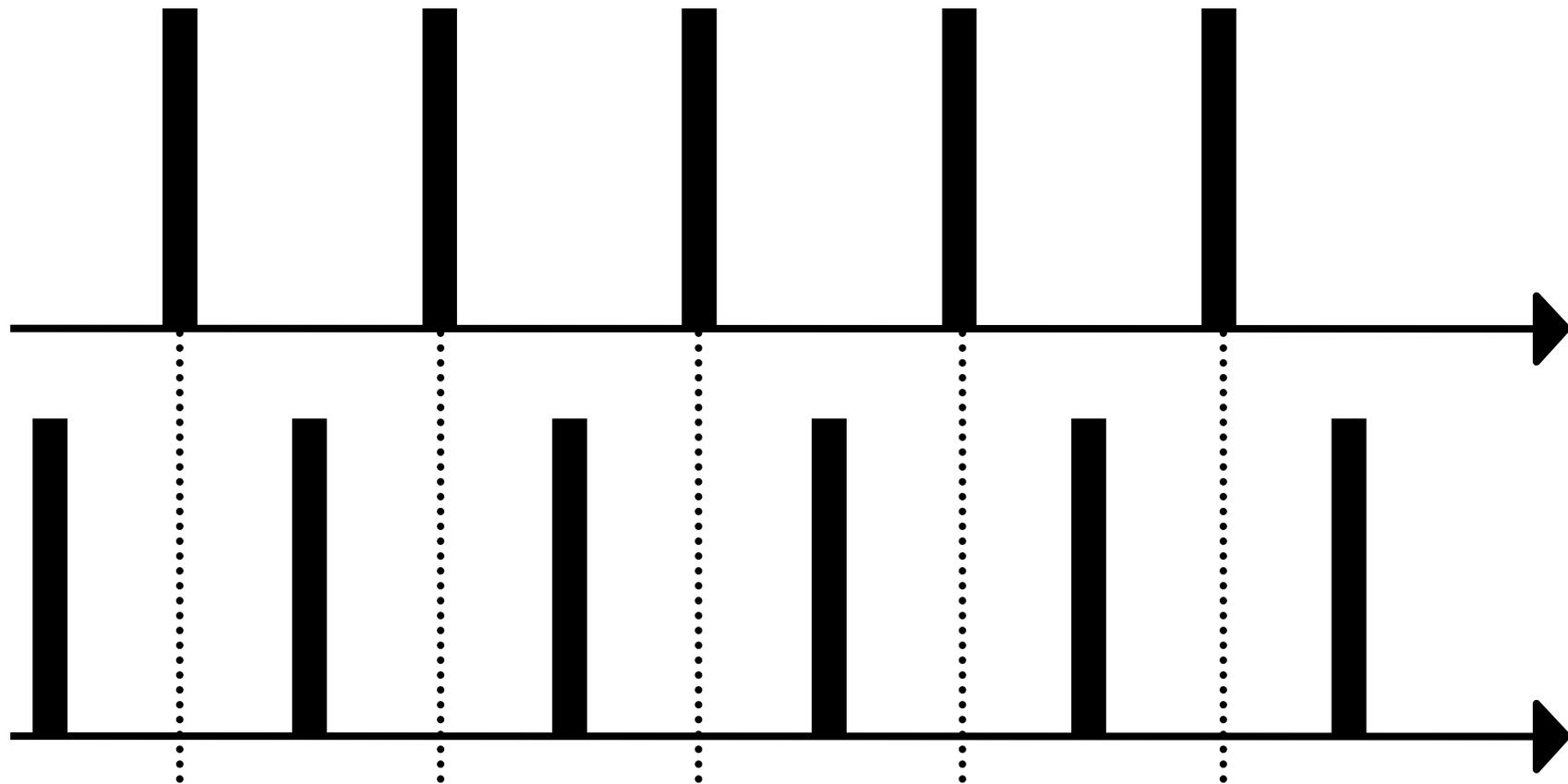
- Nel periodo T_{CK} , o *ciclo di clock*, il segnale assume:
 - Il valore logico 1 per un tempo T_H
 - Il valore logico 0 per un tempo T_L
- Il rapporto T_H / T_{CK} è detto *duty-cycle*
- Il passaggio dal valore 0 al valore 1 è detto *fronte di salita*
- Il passaggio dal valore 1 al valore 0 è detto *fronte di discesa*
- In genere, uno o entrambi i fronti del clock attivano i componenti con memoria (flip-flop e memorie)



Clock



Clock a più fasi



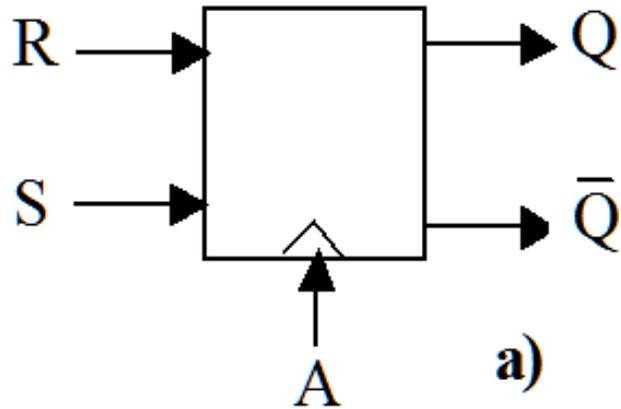
Flip-flop edge triggered

Un flip-flop, e di conseguenza un registro, edge-triggered è sensibile ad una variazione del segnale di abilitazione A e non durante tutto il periodo in cui A è attivo.

Edge-triggered sul fronte di salita (ETs): sensibile al fronte basso-alto (0 -> 1) del segnale A

Edge-triggered sul fronte di discesa (ETd): sensibile al fronte alto-basso (1 -> 0) del segnale A

RS: sincronizzazione latch ed edge triggered



q_{ij} è lo stato in cui presento il valore i e mi preparo ad a presentare in uscita il valore j , in corrispondenza del prossimo fronte di salita (o discesa) del clock

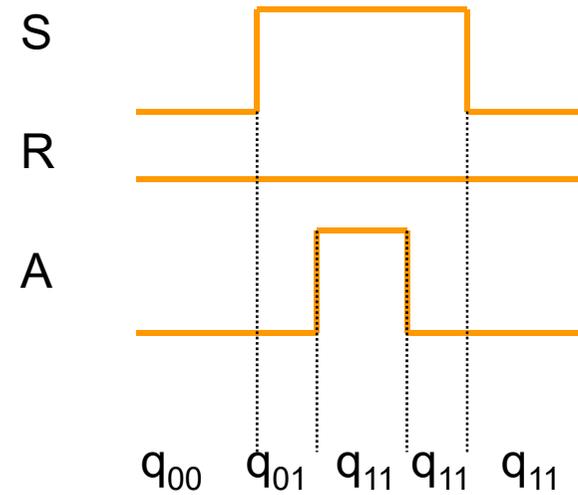
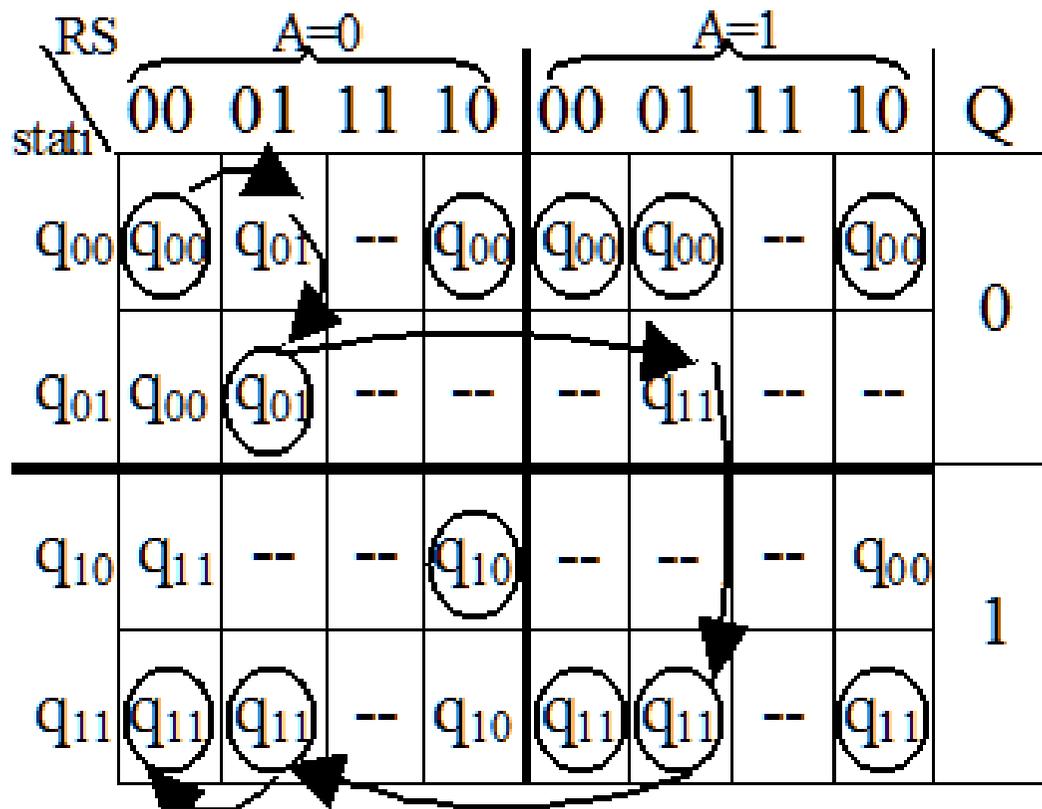
RS	A=0				A=1				Q
	00	01	11	10	00	01	11	10	
stat	00	01	11	10	00	01	11	10	
q_0	q_0	q_0	--	q_0	q_0	q_1	--	q_0	0
q_1	q_1	q_1	--	q_1	q_1	q_1	--	q_0	1

Latch

RS	A=0				A=1				Q
	00	01	11	10	00	01	11	10	
stat	00	01	11	10	00	01	11	10	
q_{00}	q_{00}	q_{01}	--	q_{00}	q_{00}	q_{00}	--	q_{00}	0
q_{01}	q_{00}	q_{01}	--	--	--	q_{11}	--	--	
q_{10}	q_{11}	--	--	q_{10}	--	--	--	q_{00}	1
q_{11}	q_{11}	q_{11}	--	q_{10}	q_{11}	q_{11}	--	q_{11}	

A variazione del fronte (edge-triggered)

Un RS sincronizzato – edge-triggered

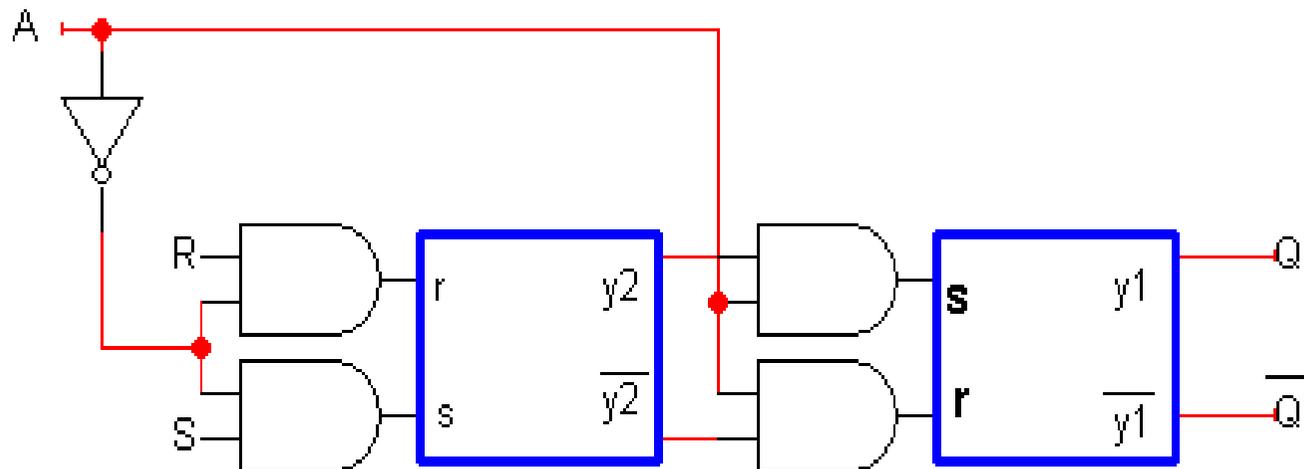


A	S	R	Q
0	-	-	Q_p
↑	0	0	Q_p
↑	0	1	0
↑	1	0	1
1	-	-	Q_p

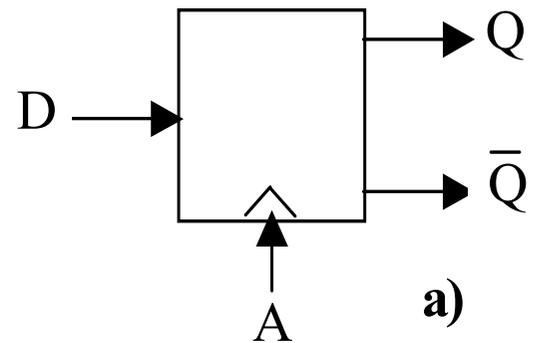
RS edge-triggered

Possibile realizzazione di un flip-flop RS sincronizzato edge-triggered sul fronte di salita:

- quando $A=0$, il latch di sinistra “cattura” il segnale su R o su S e
- appena A passa da 0 ad 1 (fronte di salita), $y2$ è ricopiato in $y1=Q$ mentre gli ingressi del latch di sinistra restano neutri lasciandolo bloccato



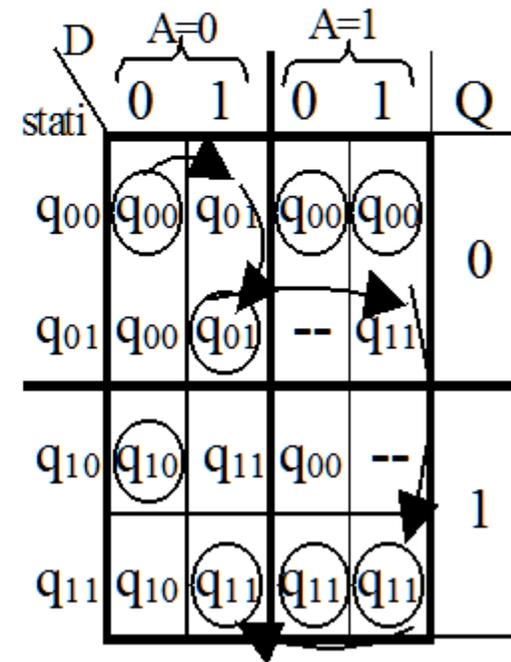
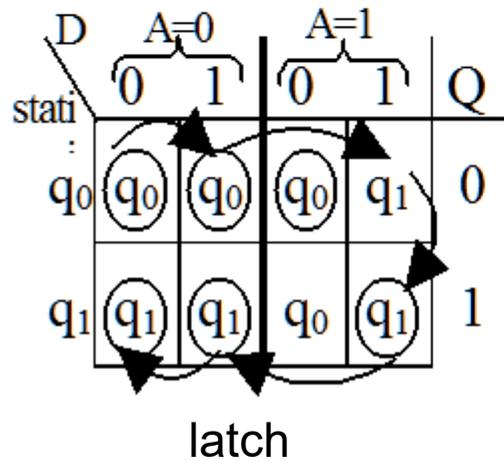
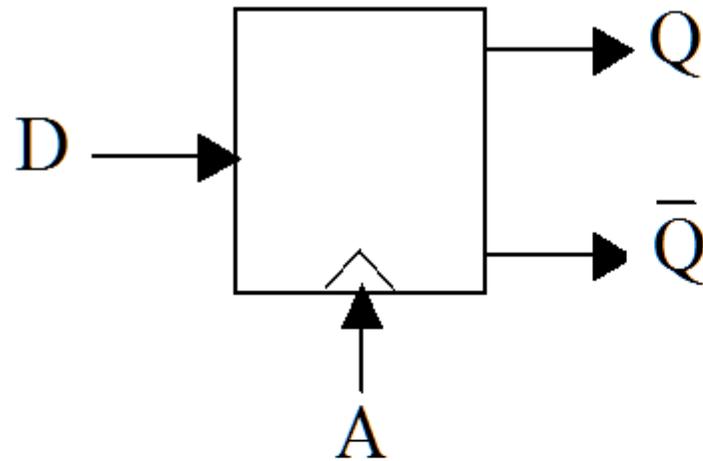
Flip flop D



Equazione di stato:

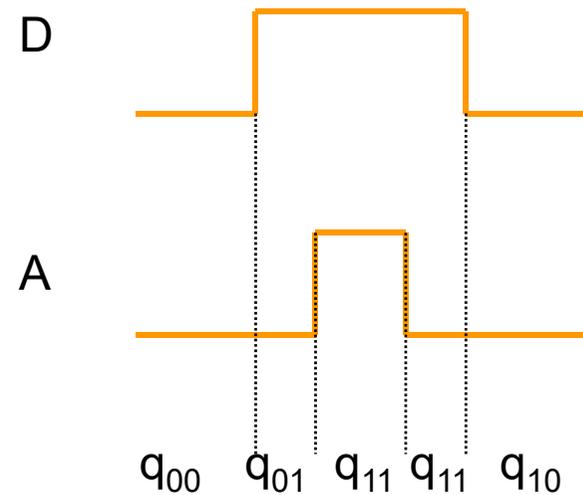
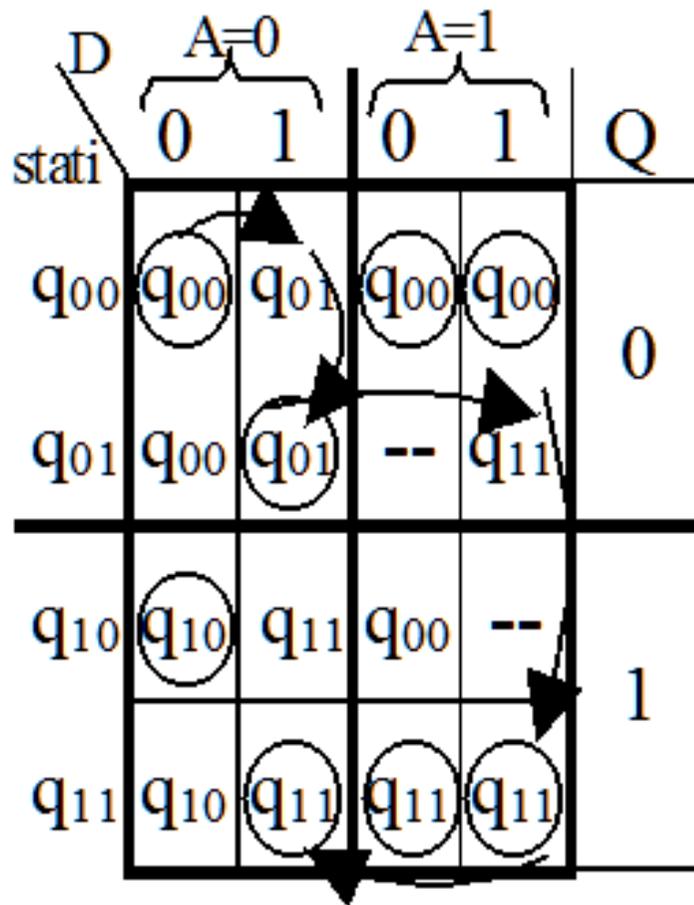
$$Q = AD + \bar{A}Q_p$$

Flip flop D



edge triggered (fronte di salita)

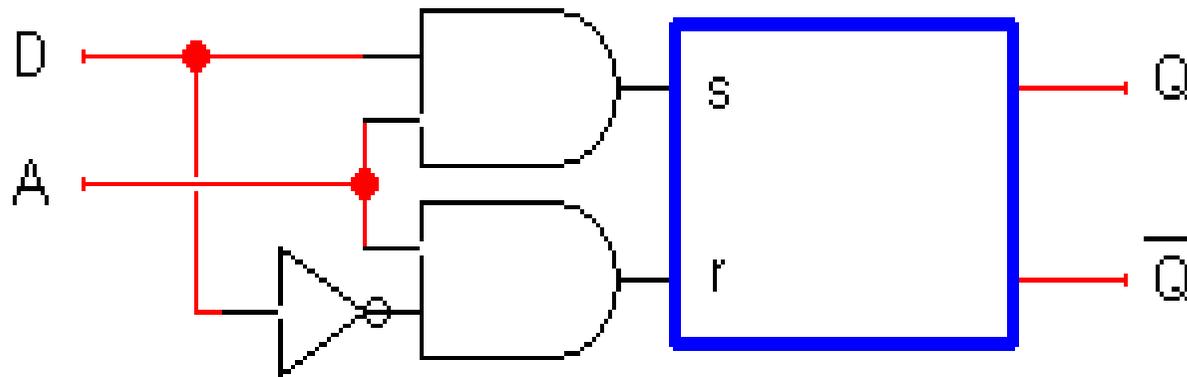
Flip flop D



A	D	Q
0	-	Q_p
↑	0	0
↑	1	1
1	-	Q_p

Flip-flop D: realizzazione come latch

Di concezione semplice, si realizza con RS

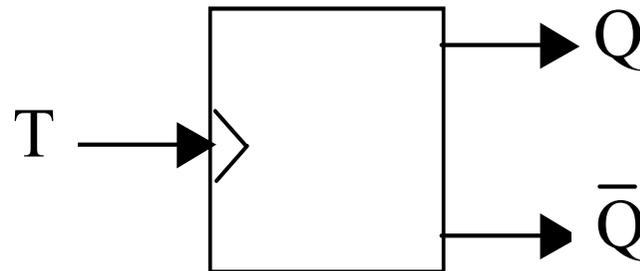


$$S = AD$$
$$R = AD'$$

Flip-Flop a commutazione

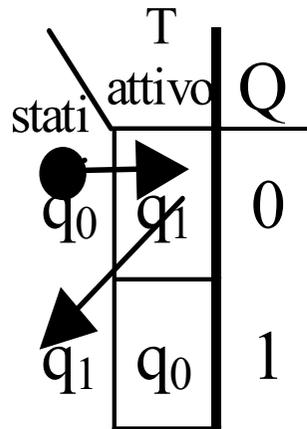
- un valore di ingresso provoca la *commutazione* dello stato piuttosto che indicarne esplicitamente il valore
 - due tipi
 - **T**: ha solo l'ingresso di commutazione
 - **JK**: analogo all'RS, con ingressi $JK=11$ corrispondenti all'ingresso di commutazione
-

Flip-Flop T



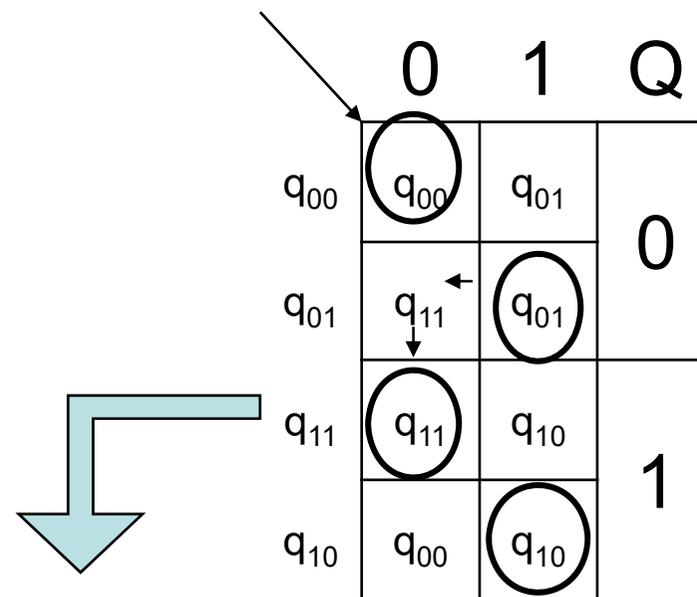
- Equazione di stato: $Q = \bar{Q}_p T + Q_p \bar{T}$
 - La macchina che implementa questo funzionamento deve essere necessariamente asincrona o sincrona impulsiva
-

Flip-Flop T



Flip-flop T come macchina
sincrona impulsiva

Flip-flop T come macchina
asincrona



q₀₀: l'uscita è 0 e sarà tale anche dopo la variazione di T;
q₀₁: l'uscita è 0 e sarà 1 dopo la variazione di T;
q₁₁: l'uscita è 1 e sarà tale anche dopo la variazione di T;
q₁₀: l'uscita è 1 e sarà 0 dopo la variazione di T.

Flip-Flop T

Codificando gli stati con due variabili binarie y_1 ed y_2

$y_1 y_2$ \ T	0	1
00	00	01
01	11	10
11	11	10
10	00	10

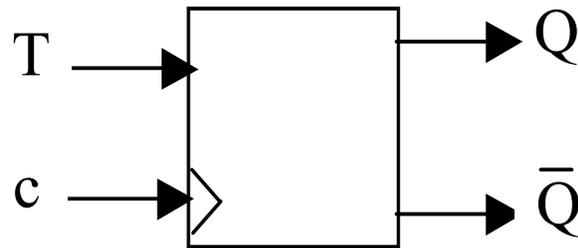
$y_1 y_2$ \ T	0	1
00		
01		1
11	1	1
10	1	

$$y_1' = \overline{T} y_1 + T y_2$$

$y_1 y_2$ \ T	0	1
00	1	
01	1	1
11		1
10		

$$y_2' = \overline{T} y_1 + T y_2$$

Flip-Flop T abilitato

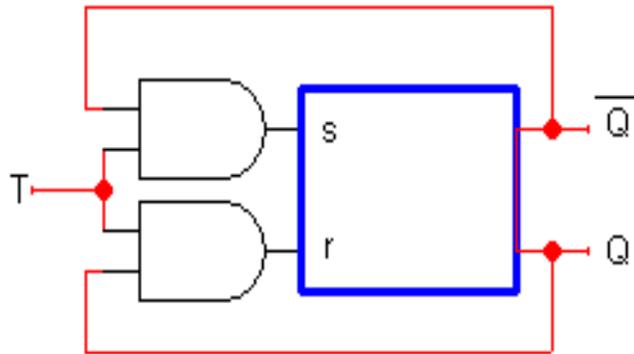


L'impulso sull'abilitazione c fa commutare il flip-flop se T è attivo.

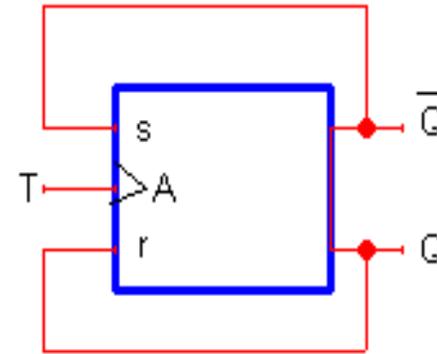
In sostanza, T fa da abilitazione, mentre c diventa l'ingresso di commutazione

Flip-Flop T: realizzazione

Possibili realizzazioni circuitali del flip-flop T come macchina sincrona impulsiva



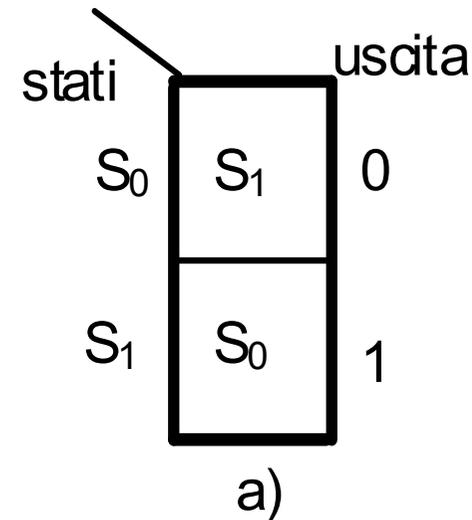
con RS fondamentale



con RS sincronizzato

Flip-Flop T sincrono con RS latch: tempificazione

- Rete sequenziale sincrona
- Contatore modulo 2 (utilizzato anche per il controllo di parità)
- Tabella sincrona fondamentale
 - Commutazione dello stato

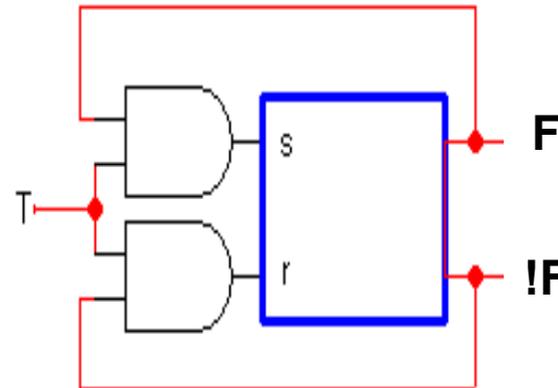


Flip-Flop T sincrono con RS latch: tempificazione

- Equazioni caratteristiche

$$R = T \cdot \bar{F}$$

$$S = T \cdot F$$

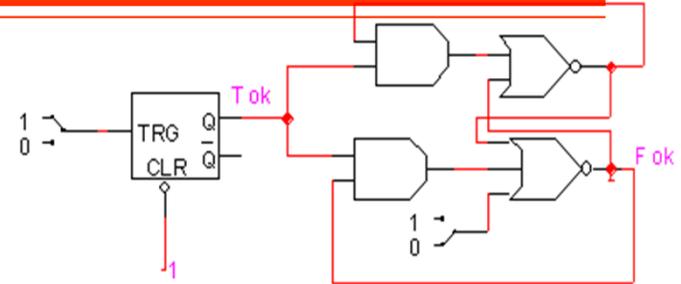


- La corretta tempificazione dipende dalla durata di T
-

Flip-Flop T sincrono con RS latch: tempificazione

- Siano

- W la durata dell'impulso in ingresso
- R il ritardo delle porte OR
- C il ritardo dell'intera rete combinatoria (AND)



- Vincoli

- $W > 2R$ affinché il ff RS (asincrono!) possa effettuare la transizione di stato
- $W < C$ affinché il ff T non (sincrono!) non si porti in uno stato indesiderato

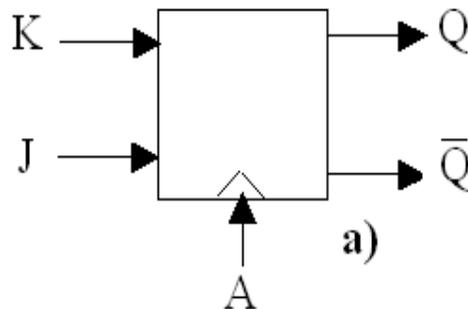
- Condizione

$$2R < w < 2R + C$$

Flip-Flop JK

E' un flip-flop sincronizzato definito come segue:

- quando l'ingresso impulsivo di sincronizzazione A è attivo, i due ingressi a livello J, K si comportano rispettivamente come S, R se sono attivi separatamente..
- mentre producono la commutazione se lo sono simultaneamente.



$$Q = j\bar{Q}_p + Q_p\bar{k} = AJ\bar{Q}_p + Q_p\bar{K} + Q_p\bar{A}$$

Flip-Flop JK

KJ		stat				Q
		00	01	11	10	
q ₀	0	q ₀	q ₁	q ₁	q ₀	0
	1	q ₁	q ₁	q ₀	q ₀	
q ₁	0	q ₁	q ₁	q ₀	q ₀	1
	1	q ₁	q ₁	q ₀	q ₀	

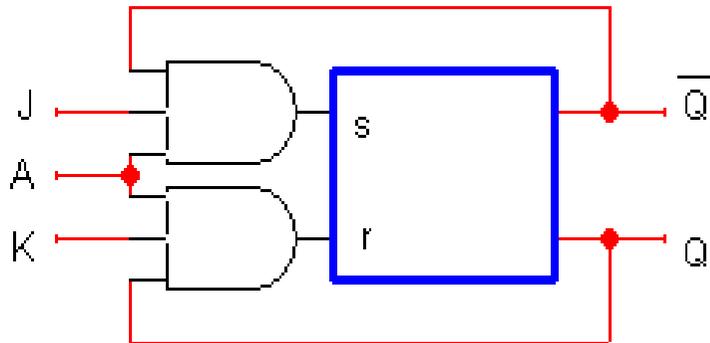
JK sincrono impulsivo

KJ		A=0				A=1				Q
		00	01	11	10	00	01	11	10	
q ₀₀	0	q ₀₀	q ₀₁	q ₀₁	q ₀₀	0				
	1	q ₀₀	q ₀₁	q ₀₁	q ₀₀	--	q ₁₁	q ₁₁	--	
q ₀₁	0	q ₁₀	q ₁₁	q ₁₀	q ₁₀	--	--	q ₀₀	q ₀₀	1
	1	q ₁₁	q ₁₁	q ₁₀	q ₁₀	q ₁₁	q ₁₁	q ₁₁	q ₁₁	

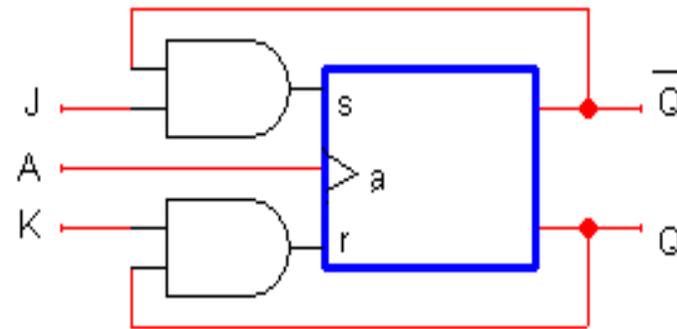
JK asincrono edge-triggered

Flip-Flop JK: realizzazioni

Possibili realizzazioni circuitali del flip-flop JK come macchina sincrona impulsiva



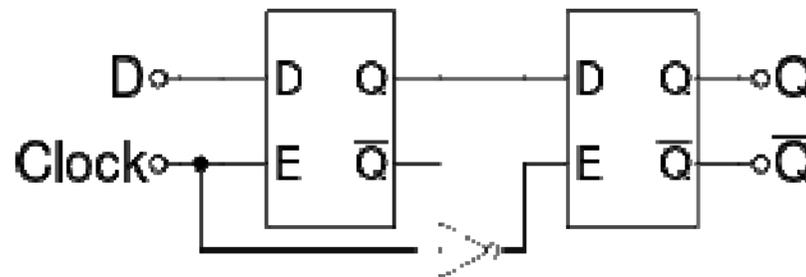
Con RS fondamentale



Con RS sincronizzato

Flip-Flop master-slave

Un flip-flop master slave è un flip-flop in cui 2 latch sono collegati in serie. Il clock è negato per uno di essi. Di conseguenza il secondo flip-flop reagisce in risposta ad un cambio di stato del primo. Infatti, sul fronte attivo del clock, il primo flip-flop è abilitato e di conseguenza è sensibile all'ingresso. Il secondo, invece, resta disabilitato avendo in ingresso il clock negato. Viceversa, sull'altro fronte, il primo flip-flop è disabilitato, mentre il secondo è abilitato, riportando in uscita ciò che era stato memorizzato dal primo flip-flop.



Flip-Flop D master-slave

La tabella di stato di un flip-flop master slave presenta 6 stati: di essi 2 avranno uscita bassa mentre gli altri 3 avranno uscita alta. q_i simboleggia lo stato in cui l'uscita vale i , mentre q_{iC_j} rappresenta lo stato in cui l'uscita vale i ma è stato campionato j .

D \ A	A=0		A=1		Q
	00	01	10	11	
q_0	q_0	q_0	q_{0C_0}	q_{0C_1}	0
q_{0C_0}	q_0	q_0	q_{0C_0}	q_{0C_0}	
q_{0C_1}	q_1	q_1	q_{1C_1}	q_{0C_1}	
q_1	q_1	q_1	q_{1C_0}	q_{1C_1}	1
q_{1C_0}	q_0	q_0	q_{1C_0}	q_{1C_0}	
q_{1C_1}	q_1	q_1	q_{1C_1}	q_{1C_1}	