

Corso di Calcolatori Elettronici I

Macchine combinatorie: encoder/decoder e multiplexer/demultiplexer

Prof. Roberto Canonico



Università degli Studi di Napoli Federico II
Dipartimento di Ingegneria Elettrica
e delle Tecnologie dell'Informazione

Macchine combinatorie

- Una macchina combinatoria *ideale* è un sistema che riceve in ingresso un dato codificato mediante n bit

$$X = (x_0, x_1, \dots, x_{n-1})$$

- e produce in uscita un dato codificato mediante m bit

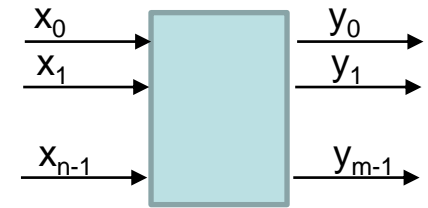
$$Y = (y_0, y_1, \dots, y_{m-1})$$

- dove ciascuno dei bit di uscita y_i è funzione del valore degli ingressi *allo stesso istante*:

$$y_i(t) = y_i(x_0(t), x_1(t), \dots, x_{n-1}(t))$$

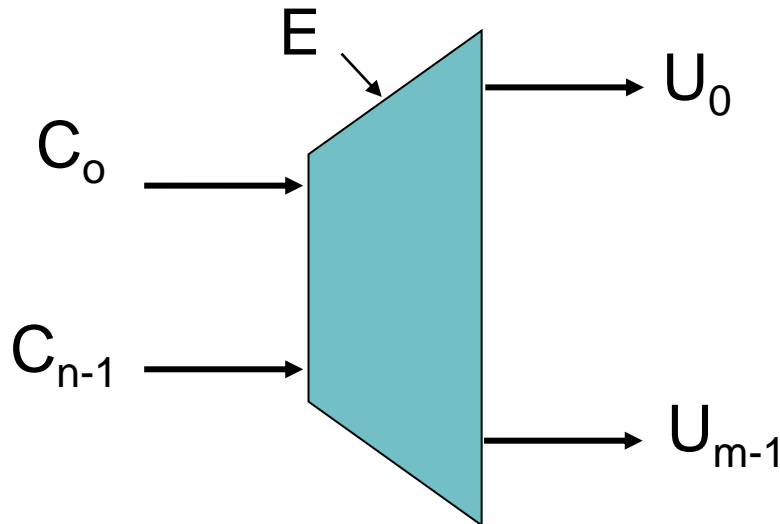
- In una combinatoria reale vale lo stesso tipo di relazione, a meno di un ritardo Δ :

$$y_i(t) = y_i(x_0(t-\Delta), x_1(t-\Delta), \dots, x_{n-1}(t-\Delta))$$



Decodificatore (decoder) n:m

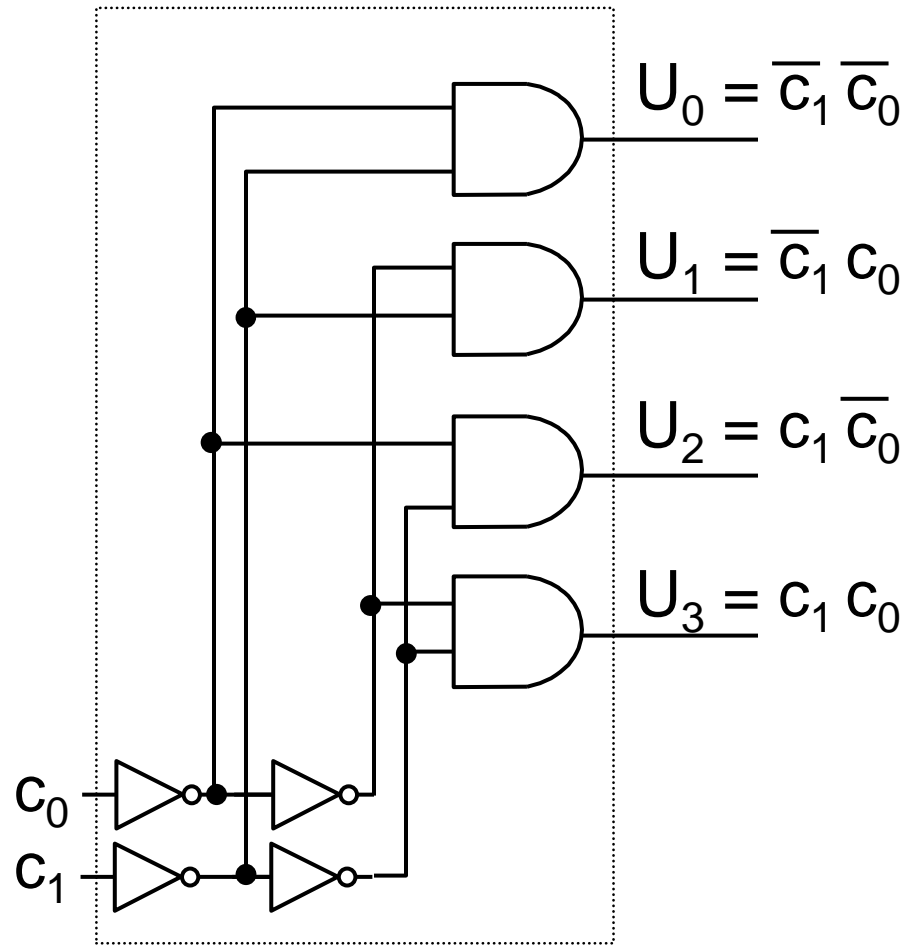
- Un decodificatore n:m è una macchina combinatoria che riceve in ingresso una parola codice (C) su n bit e presenta in uscita la sua rappresentazione decodificata (linee U_0, \dots, U_{N-1}) su $m=2^n$ bit
- Per ciascuna configurazione di ingresso, una sola delle m uscite vale 1
- Può essere presente un ingresso ausiliario *enable* E che, se vale 0, rende 0 tutte le uscite



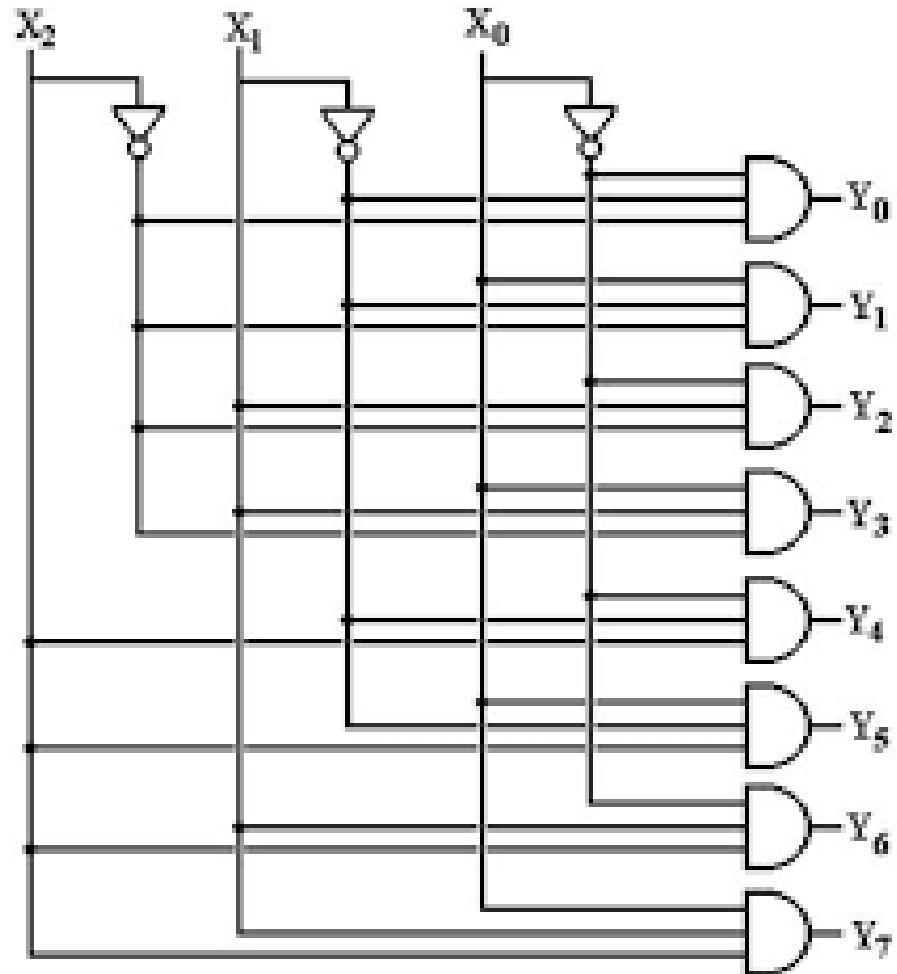
Decoder 2:4

Esempio: decoder 2:4

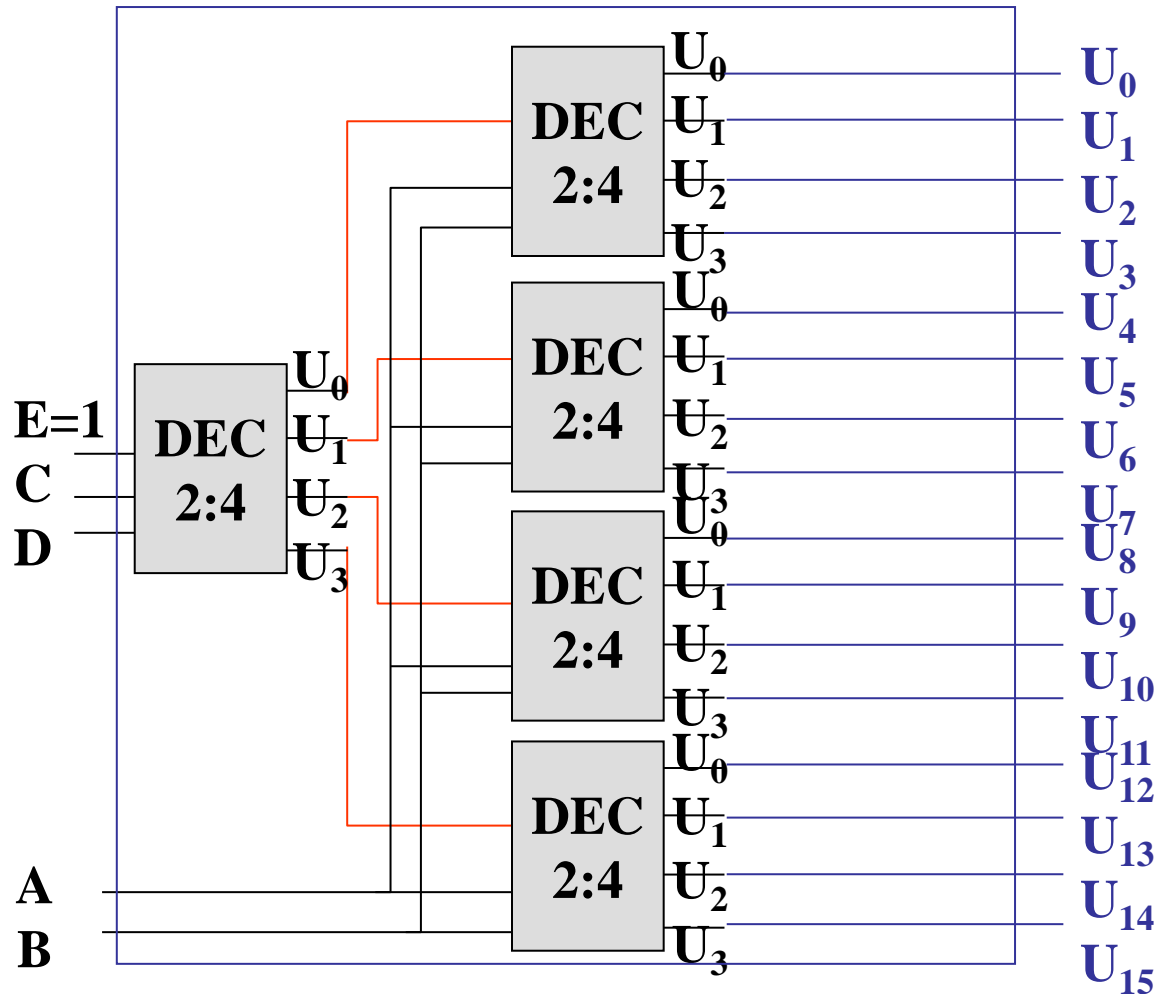
	c_1	c_0	U_0	U_1	U_2	U_3
1	0	0	1	0	0	0
2	0	1	0	1	0	0
3	1	0	0	0	1	0
4	1	1	0	0	0	1



Decoder 3:8

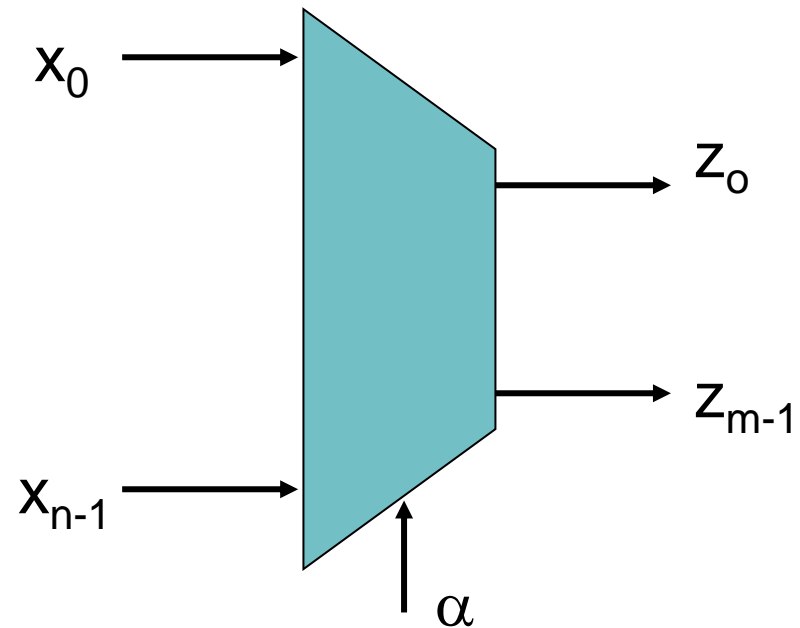


Decoder ad albero: decoder 4:16 con cinque decoder 2:4

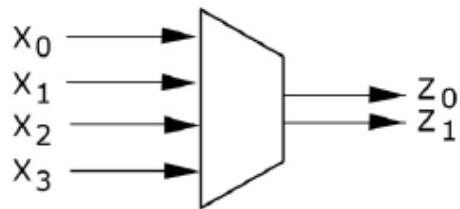


Encoder o codificatore

- Un codificatore riceve in ingresso una rappresentazione decodificata (linee x_0, \dots, x_{m-1}) e fornisce in uscita una rappresentazione con un codice a lunghezza fissa di n bit
- L'uscita è la parola codice associata a x_i
se $x_i=1$
ed $\alpha=1$ (abilitazione)
- Vincolo su ingressi:
 $x_i \cdot x_j = 0$ per $i \neq j$



Codificatore a 4 ingressi

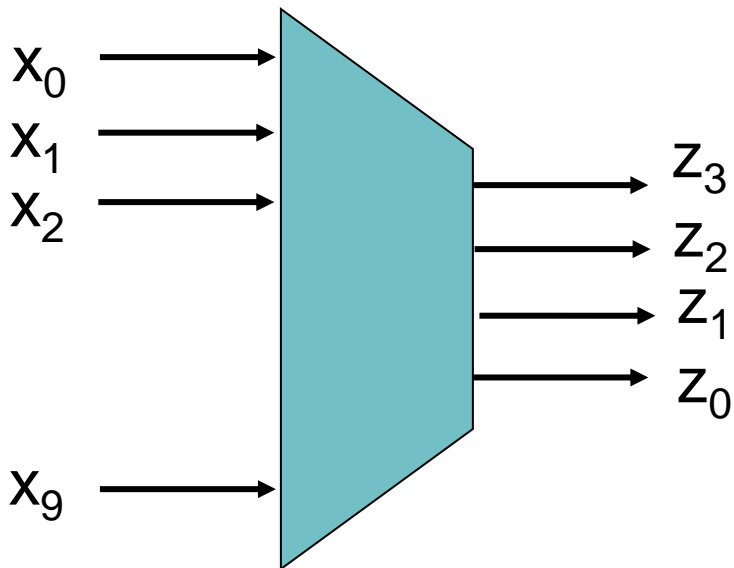


X_3	X_2	X_1	X_0	Z_1	Z_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

Figura 3.31 - Schematizzazione di un codificatore a quattro ingressi e parte della tabella di verità delle funzioni di uscita.

Codificatore 8-4-2-1

- $Z_3 = X_8 + X_9$
- $Z_2 = X_4 + X_5 + X_6 + X_7$
- $Z_1 = X_2 + X_3 + X_6 + X_7$
- $Z_0 = X_1 + X_3 + X_5 + X_7 + X_9$



cifra	
	8-4-2-1
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Al più uno degli ingressi x può valere 1 !

Arbitro di priorità

□ Un codificatore può essere preceduto da una “rete a priorità” che, in caso di più ingressi contemporaneamente alti, filtra quello con priorità assegnata maggiore

- Rete a priorità

- n ingressi X_i
- n uscite corrispondenti F_i , che rappresentano gli ingressi del codificatore
- fra gli ingressi è definita una priorità, ad esempio:
 - per fissare le idee
« X_i è prioritario su X_j se $i < j$ »
- L'uscita F_i è alta se e solo se X_i è alto e tutti gli altri ingressi prioritari su X_i sono bassi.

$$F_1 = X_1$$

$$F_2 = X_2 \overline{X_1}$$

.....

$$F_n = X_n \overline{X_{n-1}} \cdots \overline{X_1}$$

Arbitro di priorità a 4 ingressi

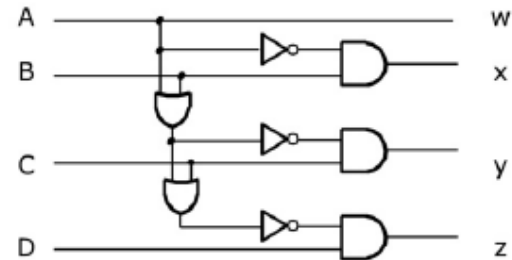
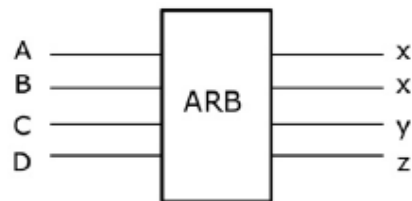


Figura 3.34 - Schematizzazione di un arbitro di priorità a quattro ingressi e corrispondente rete "a scala".

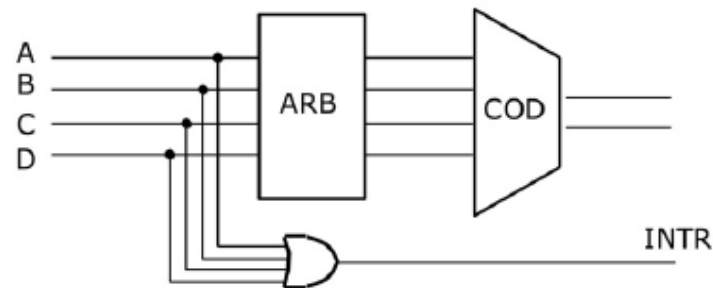
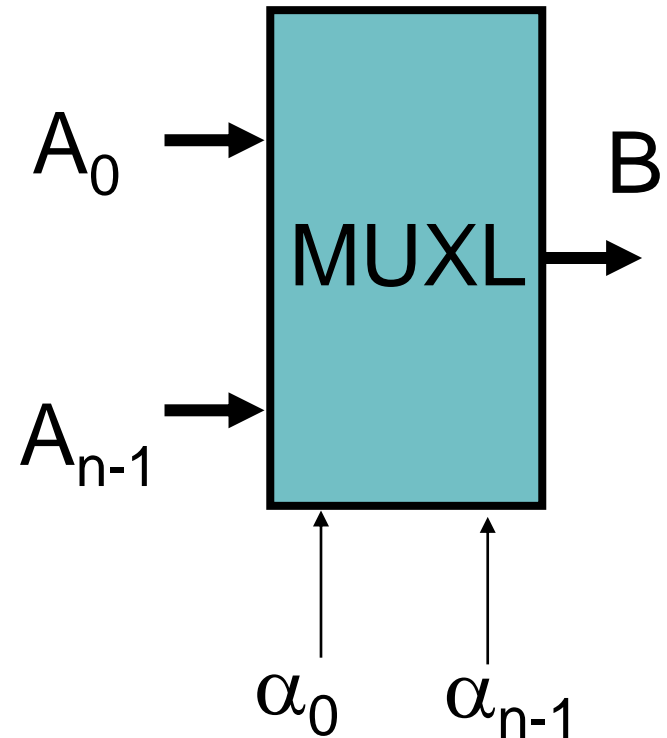


Figura 3.35 - Costruzione di un codificatore di priorità a partire da un arbitro di priorità e da un codificatore. La linea INTR indica che almeno una delle linee tra A, B, C e D è 1. Quando INTR è 0, nessuna linea di ingresso risulta asserita e l'uscita del codificatore è senza significato.

Multiplexer lineare

- Un *Multiplexer lineare* (MUXL) è una macchina combinatoria con:
 - n ingressi-dati (A_0, \dots, A_{n-1})
 - n segnali binari di selezione ($\alpha_0, \dots, \alpha_{n-1}$),
dei quali al più uno è attivo (1)
 - una uscita-dati B, che assume
 - valore A_i se è attivo α_i
 - neutro 0 se nessuna delle selezioni è attiva
- Macchina utilizzata quando più linee devono essere convogliate verso un'unica linea di uscita (bus)

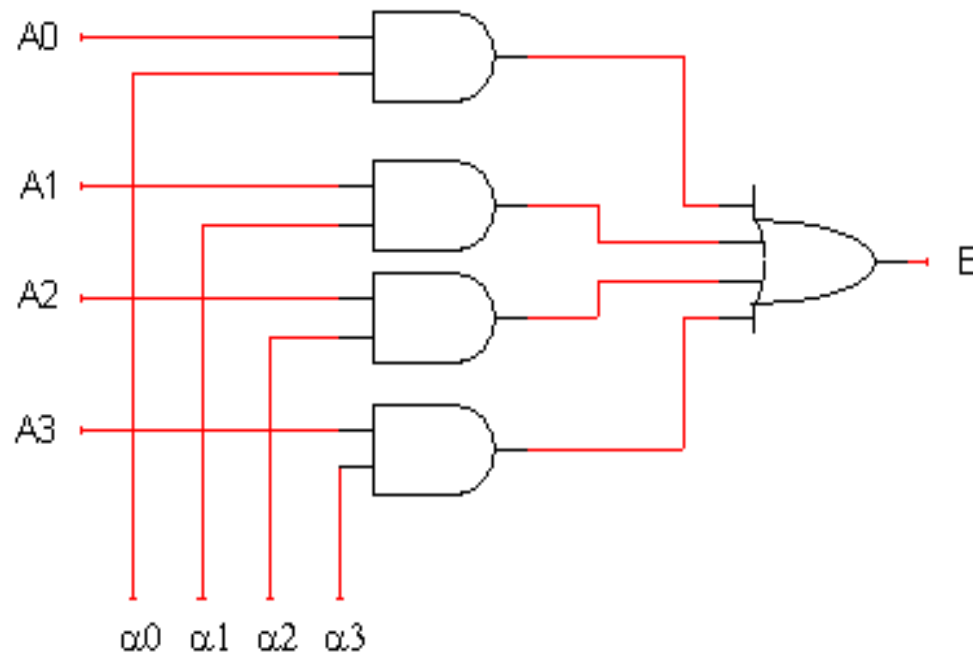


$$B = \sum_{i=0}^{n-1} \alpha_i \cdot A_i$$

Multiplexer lineare con porte AND-OR

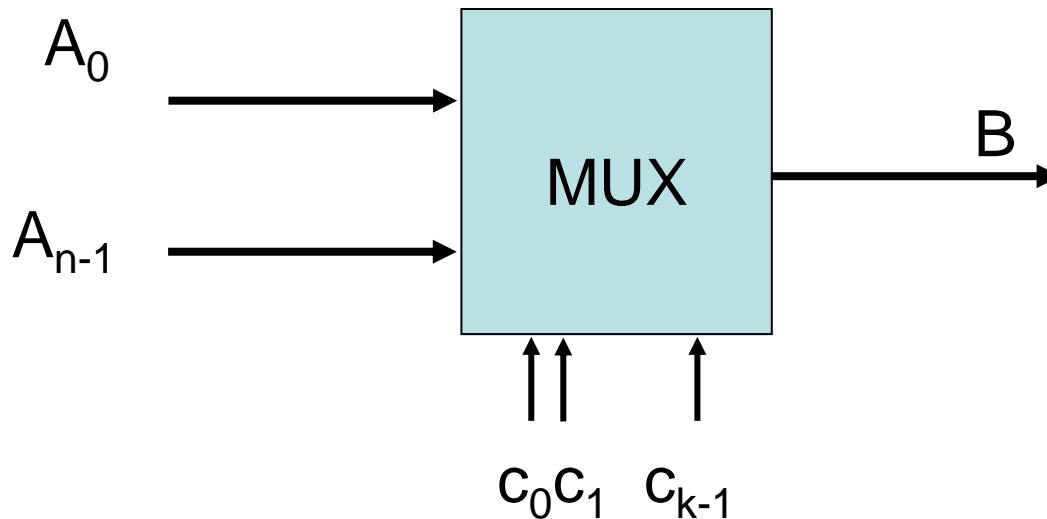
$$B = A_0 \alpha_0 + A_1 \alpha_1 + \dots + A_{n-1} \alpha_{n-1}$$

n=4



Multiplexer indirizzabile

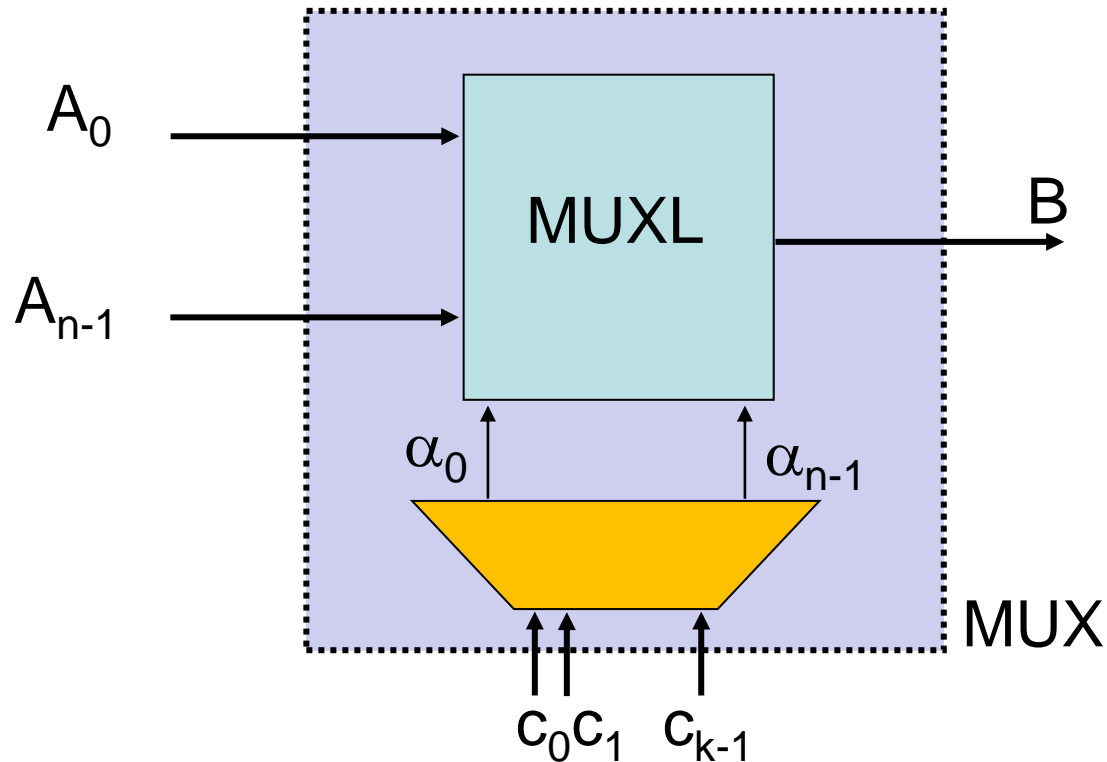
- In un multiplexer indirizzabile (MUX) la selezione dell'ingresso avviene mediante un codice di $k = \log_2(n)$ bit
- Es: $n = 8$, $m = 3$



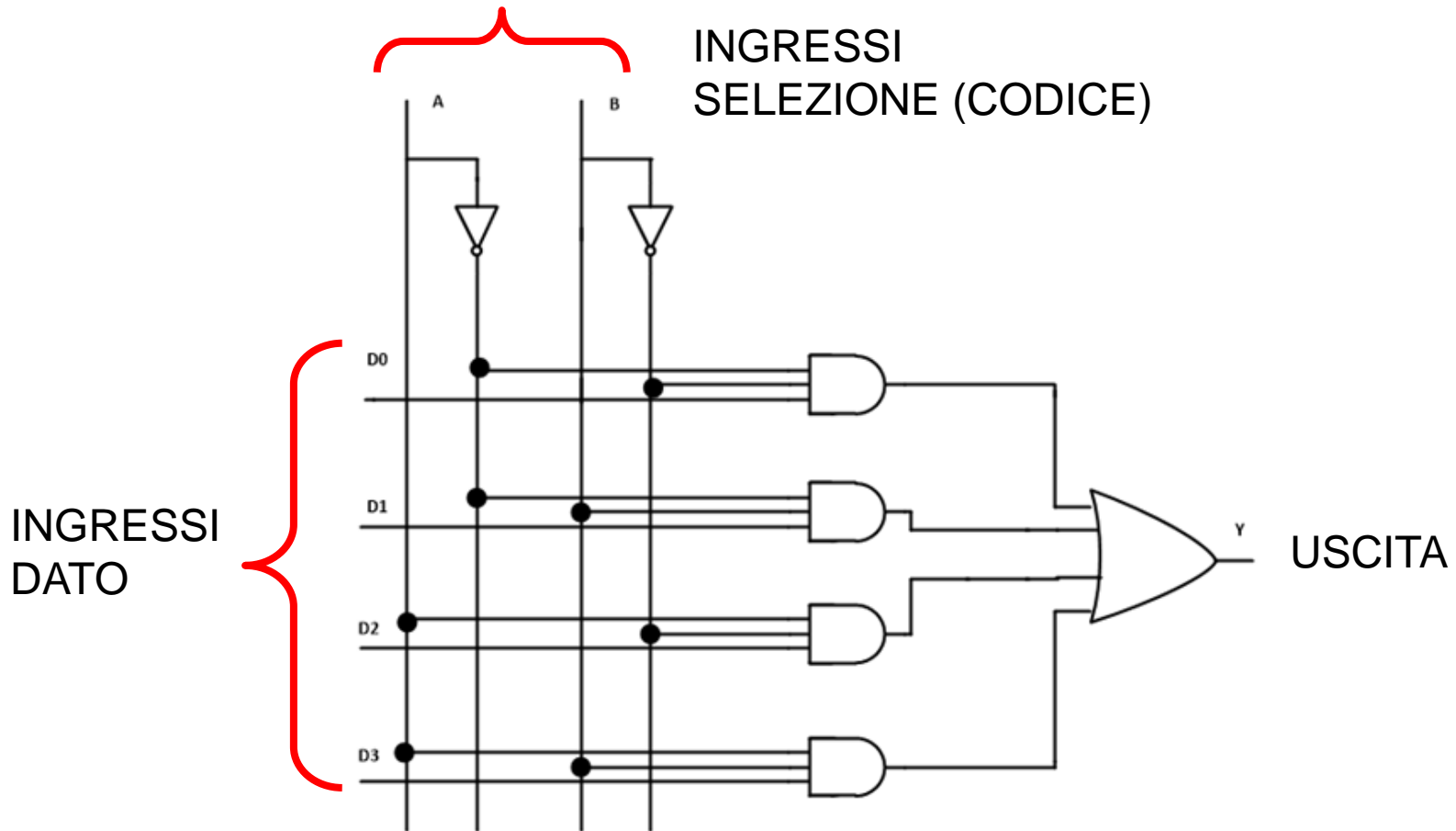
$$B = \sum_{i=0}^{2^k-1} P_i \cdot A_i \quad \text{con } P_i \text{ mintermine delle } C$$

Multiplexer indirizzabile: modello concettuale

- Da un punto di vista concettuale, si può pensare un multiplexer indirizzabile costituito da un multiplexer lineare i cui ingressi di selezione sono forniti da un decodificatore

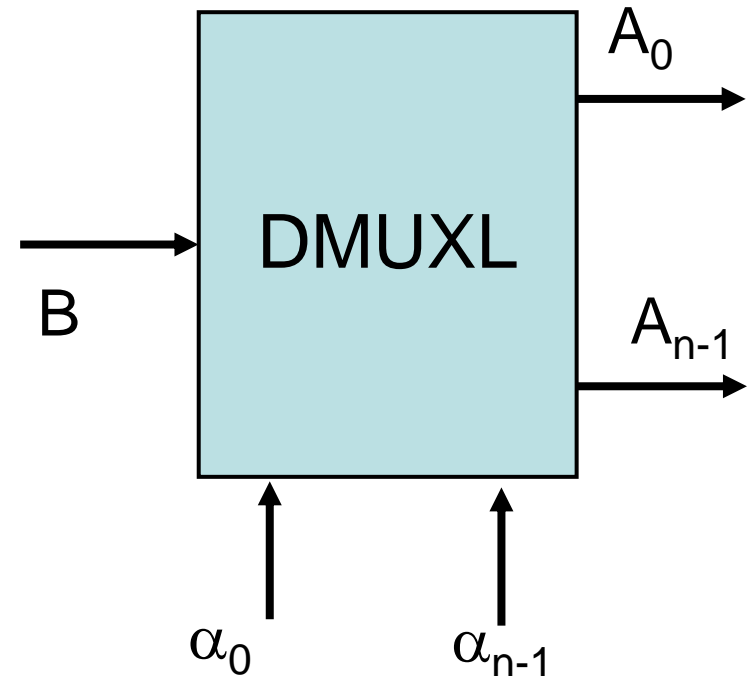


Multiplexer indirizzabile: circuito



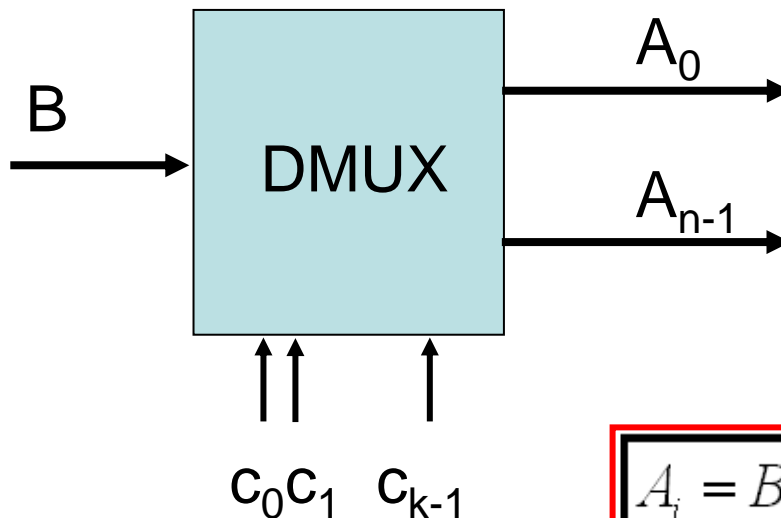
Demultiplexer lineare

- Un *demultiplexer lineare* (DMUXL) è una macchina combinatoria con:
 - 1 ingresso-dati B
 - n ingressi di selezione ($\alpha_0, \dots, \alpha_{n-1}$) dei quali **al più uno è attivo (1)**
 - n uscite-dati (A_0, \dots, A_{n-1}), con
 - $A_i = B$ se α_i è attivo (1)
 - A_i neutro (0) se α_i non è attivo (0)



Demultiplexer indirizzabile

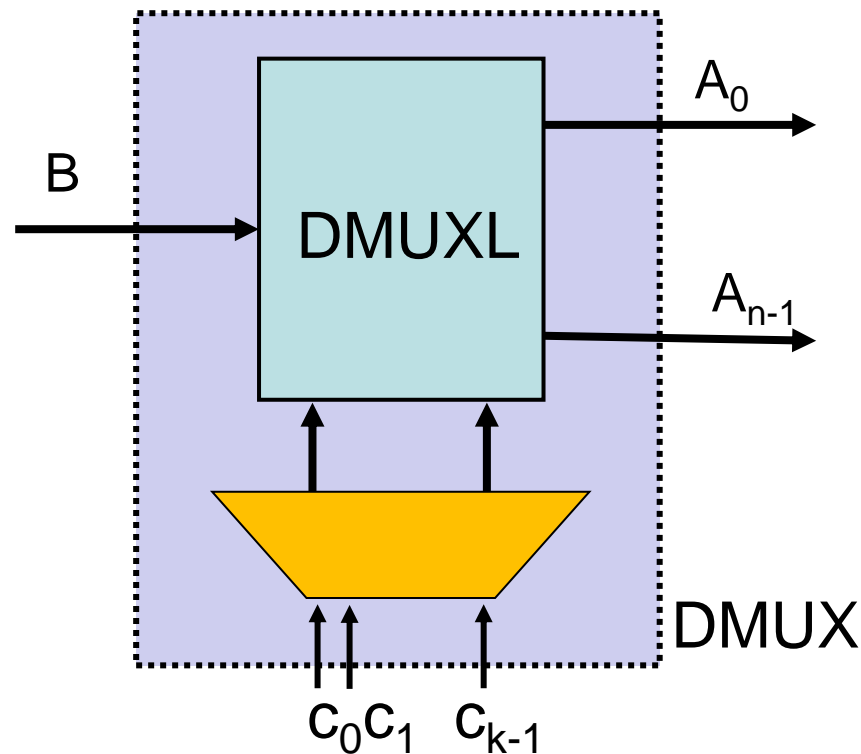
- In un demultiplexer indirizzabile (DMUX) la selezione dell'uscita avviene mediante un codice di $k = \log_2(n)$ bit
- Es: $n = 8, m = 3$



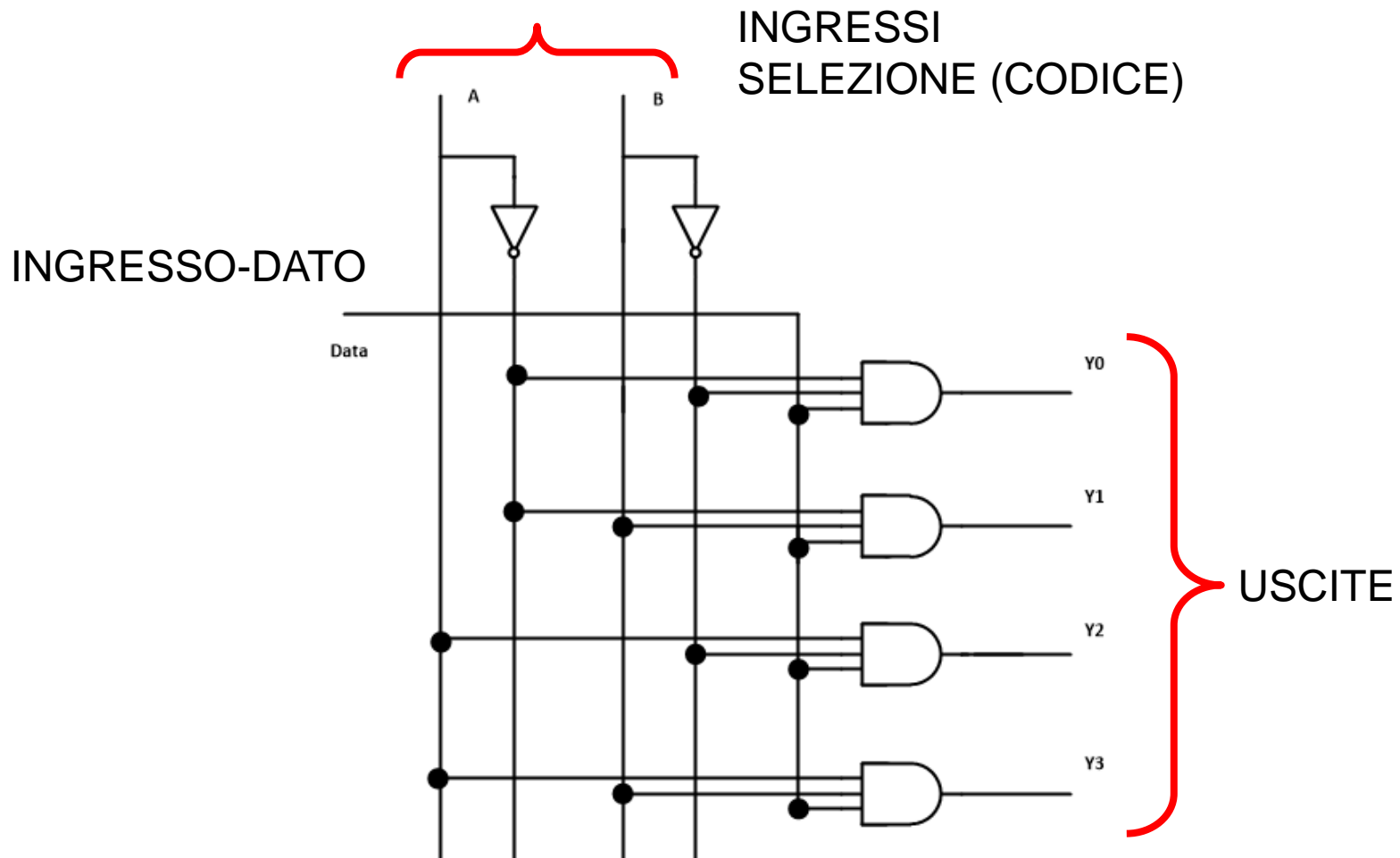
$$A_i = B \cdot P_i \quad \text{con } P_i \text{ mintermine delle } C$$

Demultiplexer indirizzabile: modello concettuale

- Da un punto di vista concettuale, si può pensare un demultiplexer indirizzabile costituito da un demultiplexer lineare i cui ingressi di selezione sono forniti da un decodificatore

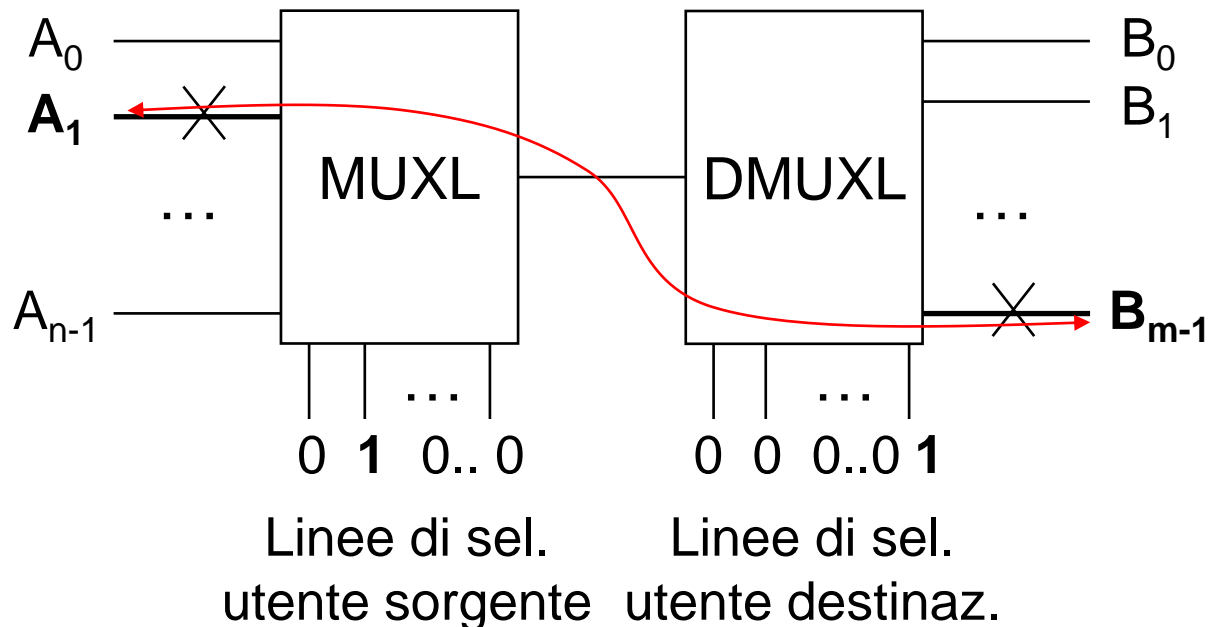


Demultiplexer indirizzabile: circuito



Muxl/Dmuxl: un esempio

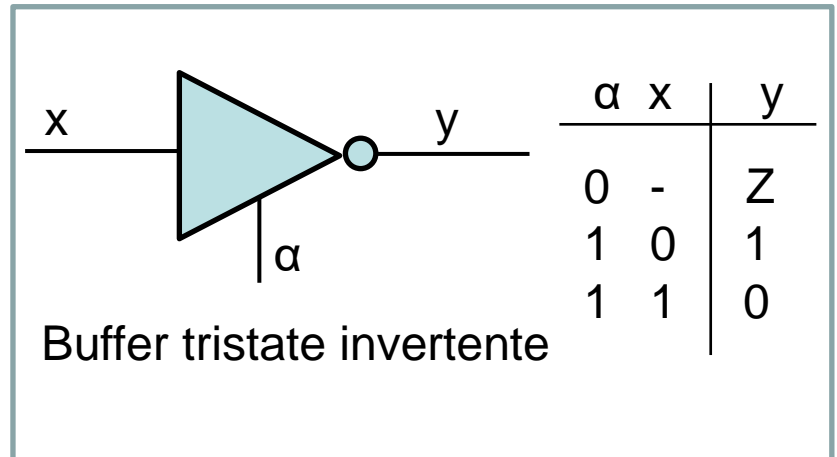
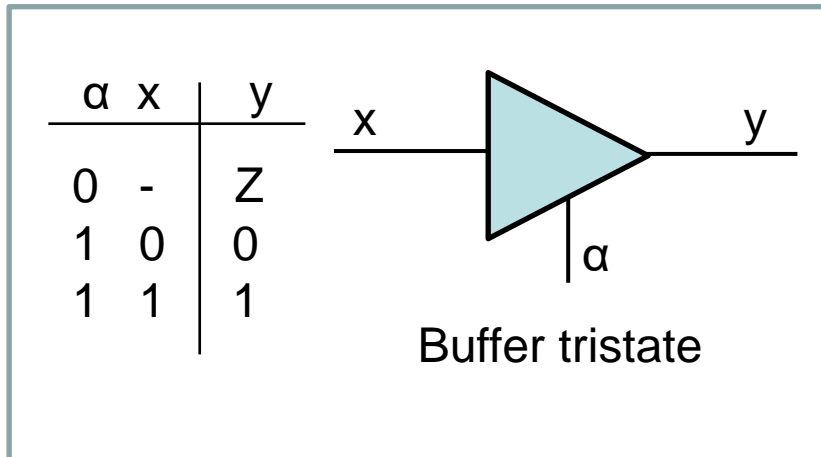
- Supponiamo di avere un “centralino telefonico” in cui n utenti sorgente vogliono parlare con m utenti destinazione
 - **vincolo:** l’utente di destinazione abilitato deve sentire solo l’utente sorgente abilitato



L’utente A_1 è abilitato a parlare con l’utente B_{m-1}

Porte tristate

- Una porta logica *tristate* è una porta logica la cui uscita può trovarsi in uno di 3 stati:
 - Alto (H) o 1 → tipicamente $V \approx 0V$
 - Basso (L) o 0 → tipicamente $V \approx 5V$
 - Alta Impedenza (Z)
- Esempi di porte logiche tristate



Multiplexer lineare con porte tristate

- Realizzazione di un multiplexer lineare con buffer tristate

