

Corso di Calcolatori Elettronici I

Architettura interna della CPU

Prof. Roberto Canonico



Università degli Studi di Napoli Federico II
Dipartimento di Ingegneria Elettrica e
delle Tecnologie dell'Informazione

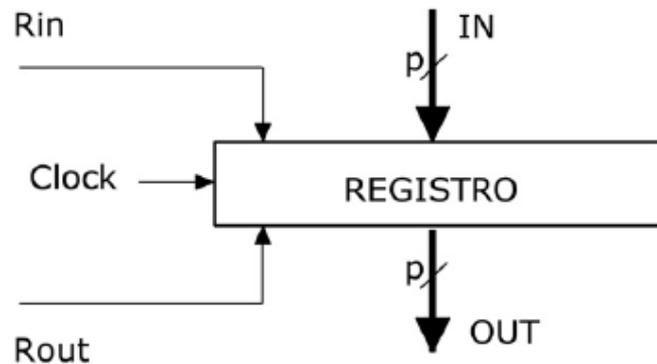


Figura 4.35 - Modello di registro. A seconda della convenienza, spesso si omette di indicare i segnali R_{in} e R_{out} ; in tal caso si deve assumere che essi siano sempre asseriti. Si omette pure di indicare il clock, che pure va inteso come sempre presente. Il numero p di linee binarie in ingresso o in uscita è pari alla dimensione (parallelismo) del registro.

Si assume la convenzione che i registri commutino sul fronte di discesa del clock

Trasferimento dell'informazione

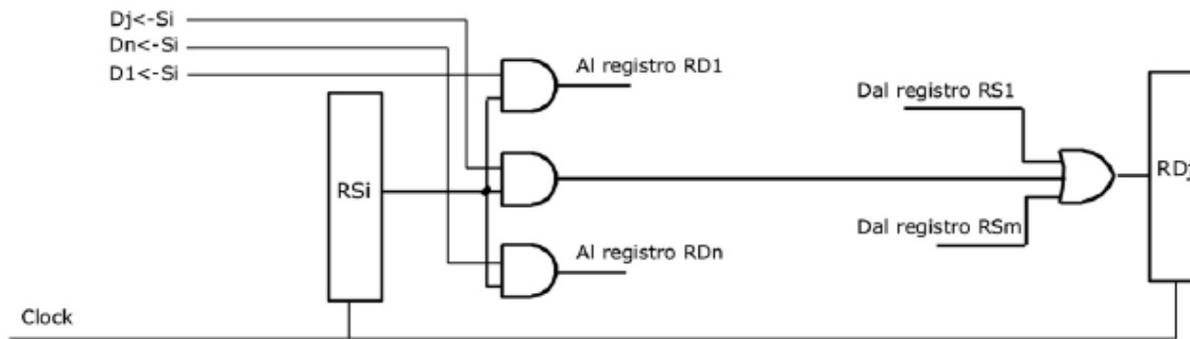


Figura 4.42 - Rete di interconnessione da m registri sorgente a n registri di destinazione. I trasferimenti vengono selezionati asserendo le linee di comando $D_j \leftarrow S_i$. Si è assunto che i registri sorgente abbiano le uscite sempre disponibili (siano, cioè, senza uscita in terzo stato, oppure con uscita in terzo stato e RS_{out} sempre asserito). Si è anche assunto che il registro di destinazione abbia R_{in} sempre asserito.

Struttura a bus

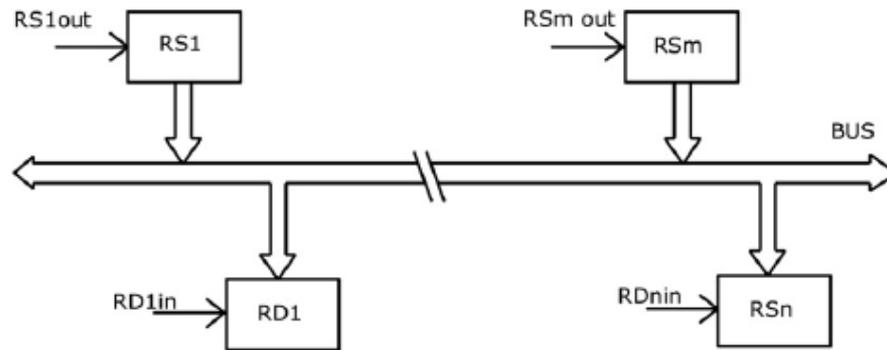


Figura 4.44 - Schema di collegamento tramite bus. Si suppone che le uscite dei dispositivi collegate sul bus siano a tre stati. In un dato momento deve essere asserito un solo segnale di abilitazione delle uscite, in modo che il bus venga portato allo stato logico del corrispondente registro. I segnali di abilitazione degli ingressi determinano quali registri di destinazione vengono caricati sul prossimo (fronte del) clock.

Tempificazione

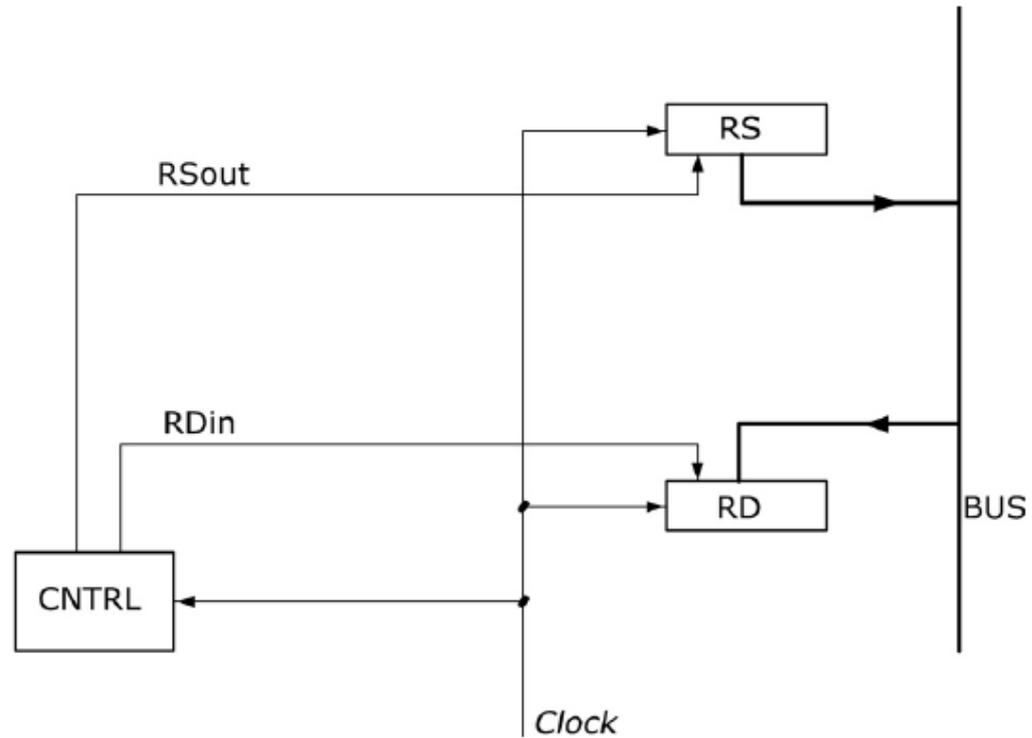


Figura 4.45 - Esempio di trasferimento da un registro ad un altro attraverso il bus. Il blocco CNTRL è responsabile della generazione dei segnali RS_{out} e RD_{in} .

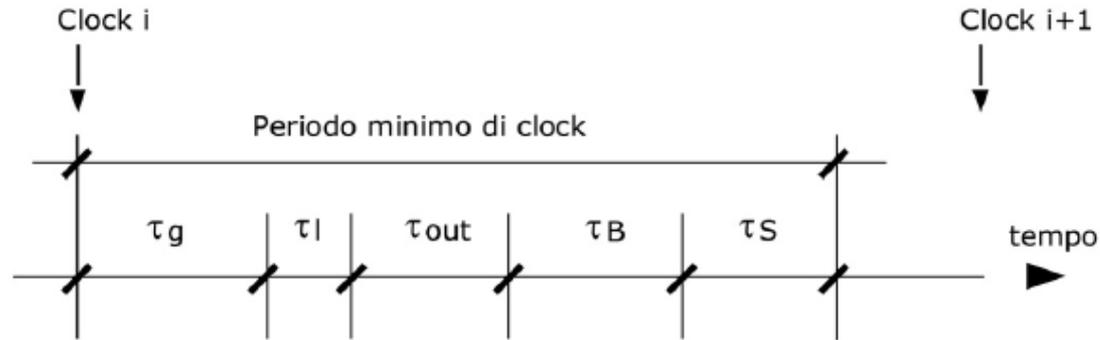


Figura 4.46 - Quantificazione del periodo minimo del clock imposto dal segnale RS_{out} nel trasferimento di Figura 4.45.

τ_g : tempo richiesto dalla logica CNTRL per generare i segnali RS_{out} e RD_{in}

τ_l : tempo impiegato dal segnale RS_{out} per propagarsi fino a RS

τ_{out} : tempo richiesto per il passaggio in conduzione di RS

τ_B : tempo di trasmissione del dato da RS a RD

τ_S : tempo di set-up dei FF del registro RD

τ_H : tempo di hold del registro RD

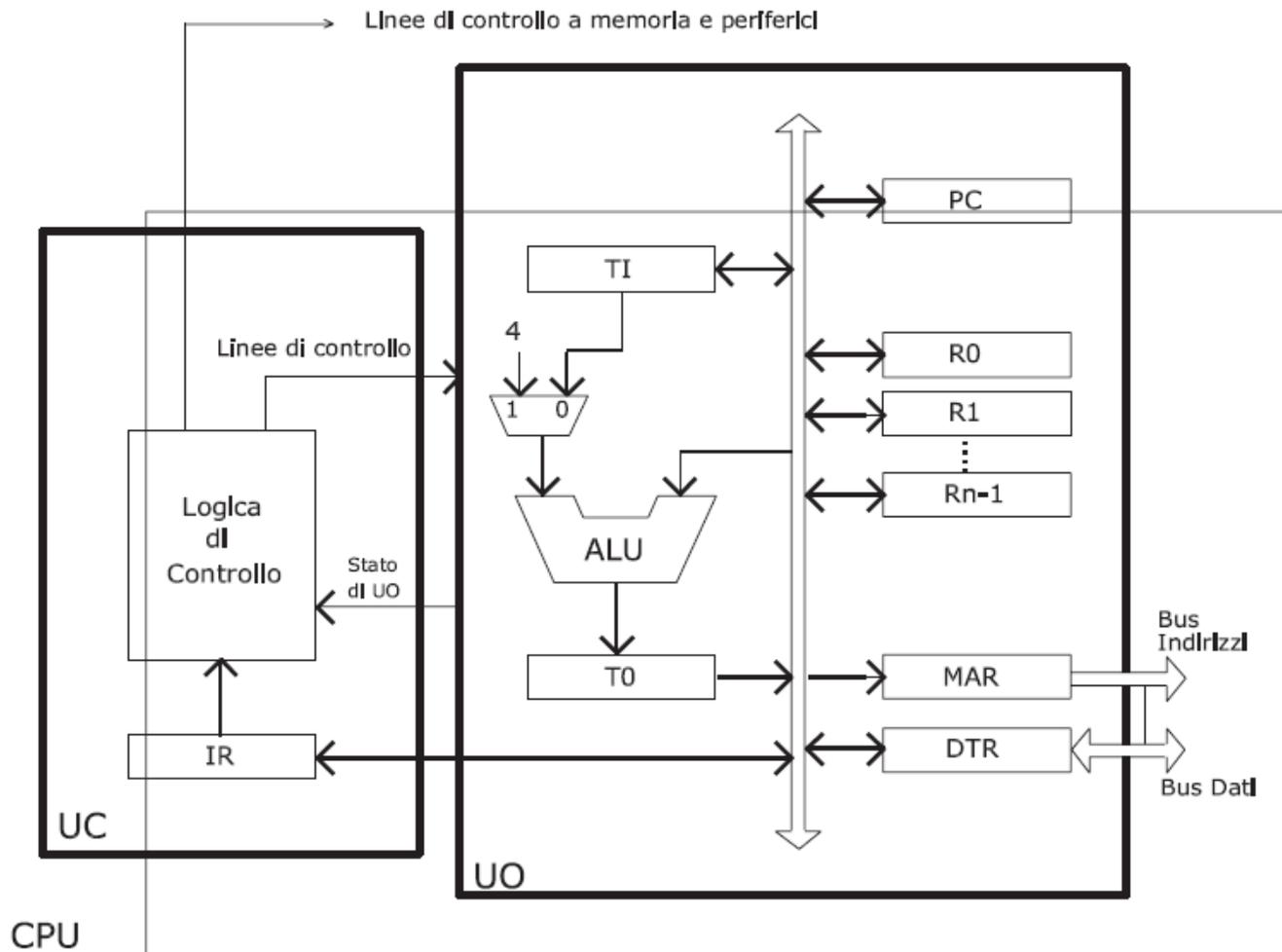
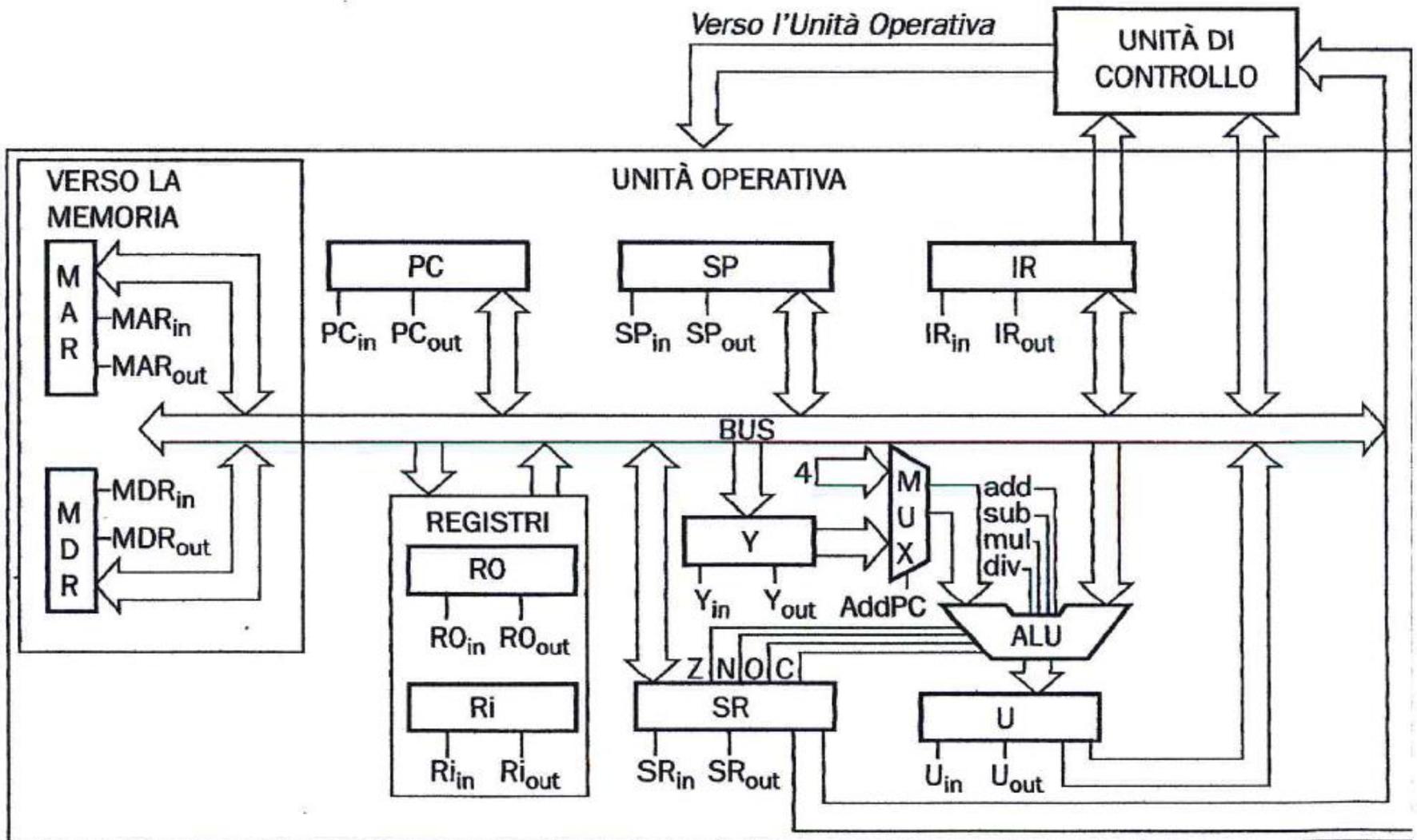


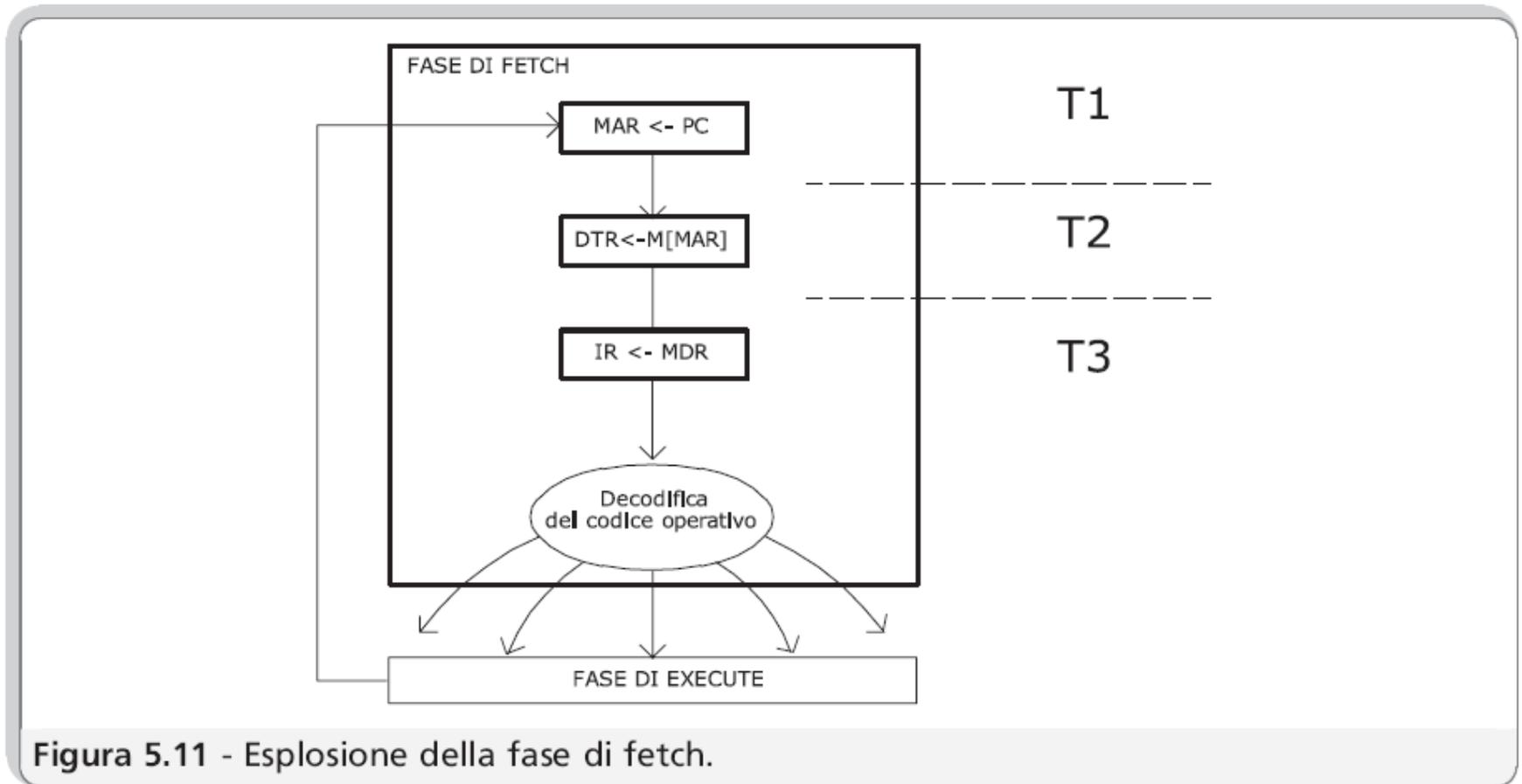
Figura 5.10 - Organizzazione del percorso dati a singolo bus interno.

CPU: un altro modello interno



Esecuzione delle istruzioni

Fase di Fetch



Esecuzione delle istruzioni

Fase di esecuzione

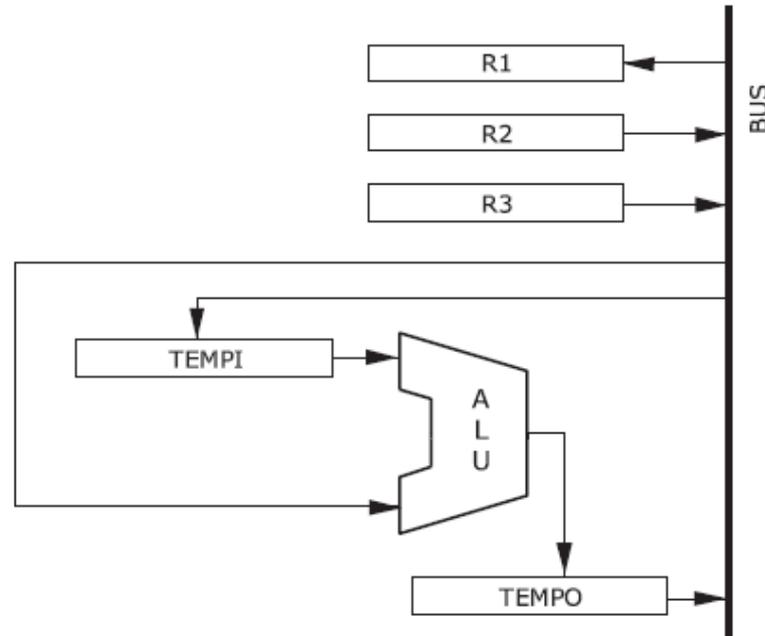


Figura 5.12 - Percorsi impiegati per l'esecuzione dell'istruzione ADD R1 ,R2 ,R3 nel caso di un solo bus interno.

Temporizzazione

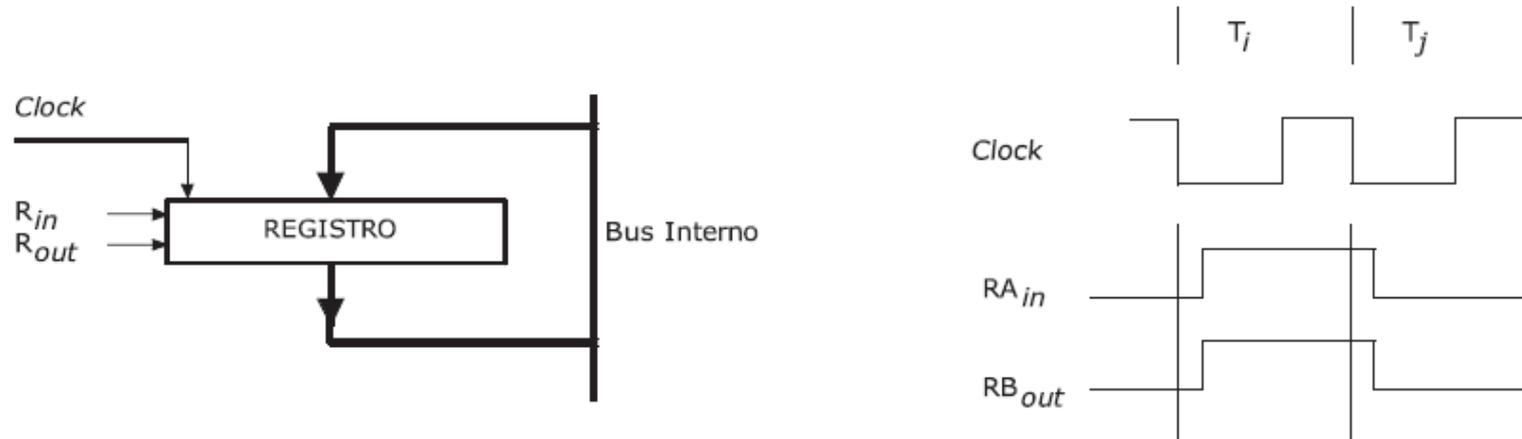


Figura 5.13 - Collegamento di un registro al bus interno e temporizzazione di un trasferimento tra registri.

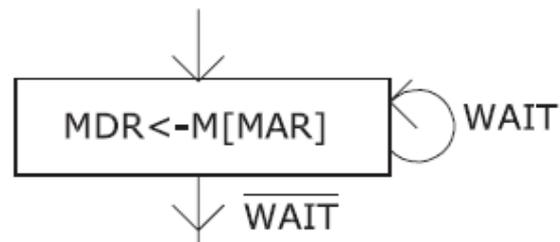


Figura 5.14 - Modifica del diagramma di stato per controllare la linea di Wait.

Percorsi interni

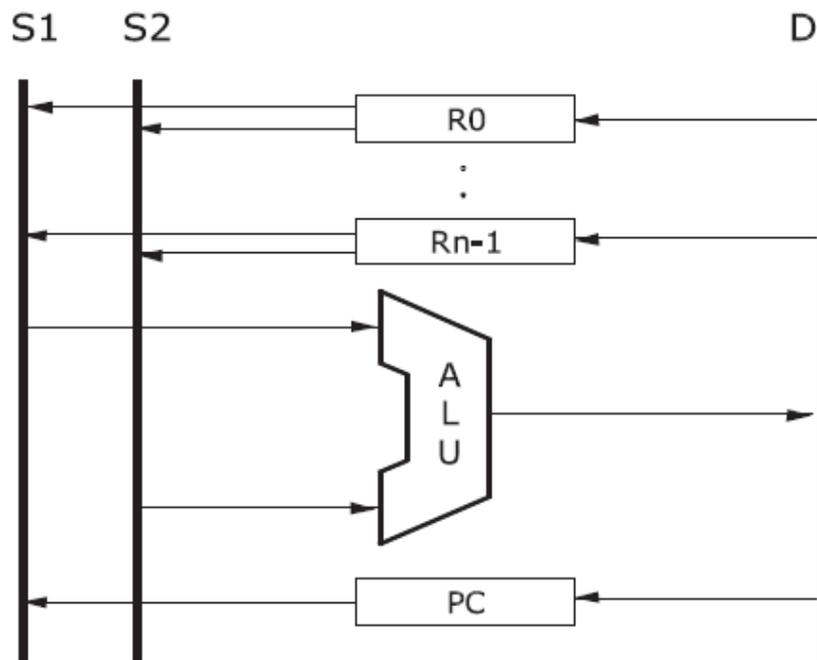


Figura 5.15 - Organizzazione con tre bus interni.

Il file dei registri

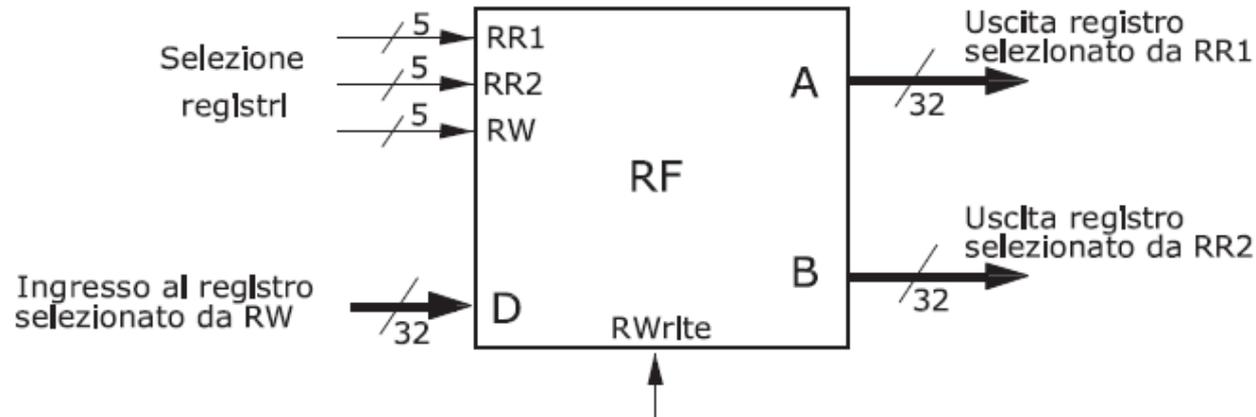


Figura 5.16 - Schematizzazione di un banco di 32 registri di uso generale. Gli ingressi RR1 e RR2 identificano i due registri letti (registri sorgente), i cui contenuti vengono presentati rispettivamente sulle porte A e B. L'ingresso RW identifica l'eventuale registro di destinazione, ovvero il registro in cui viene scritto il dato presentato sulla porta D. La scrittura in questo registro ha luogo sul fronte finale del clock, solo se è asserito il comando RWrite.

Il file dei registri

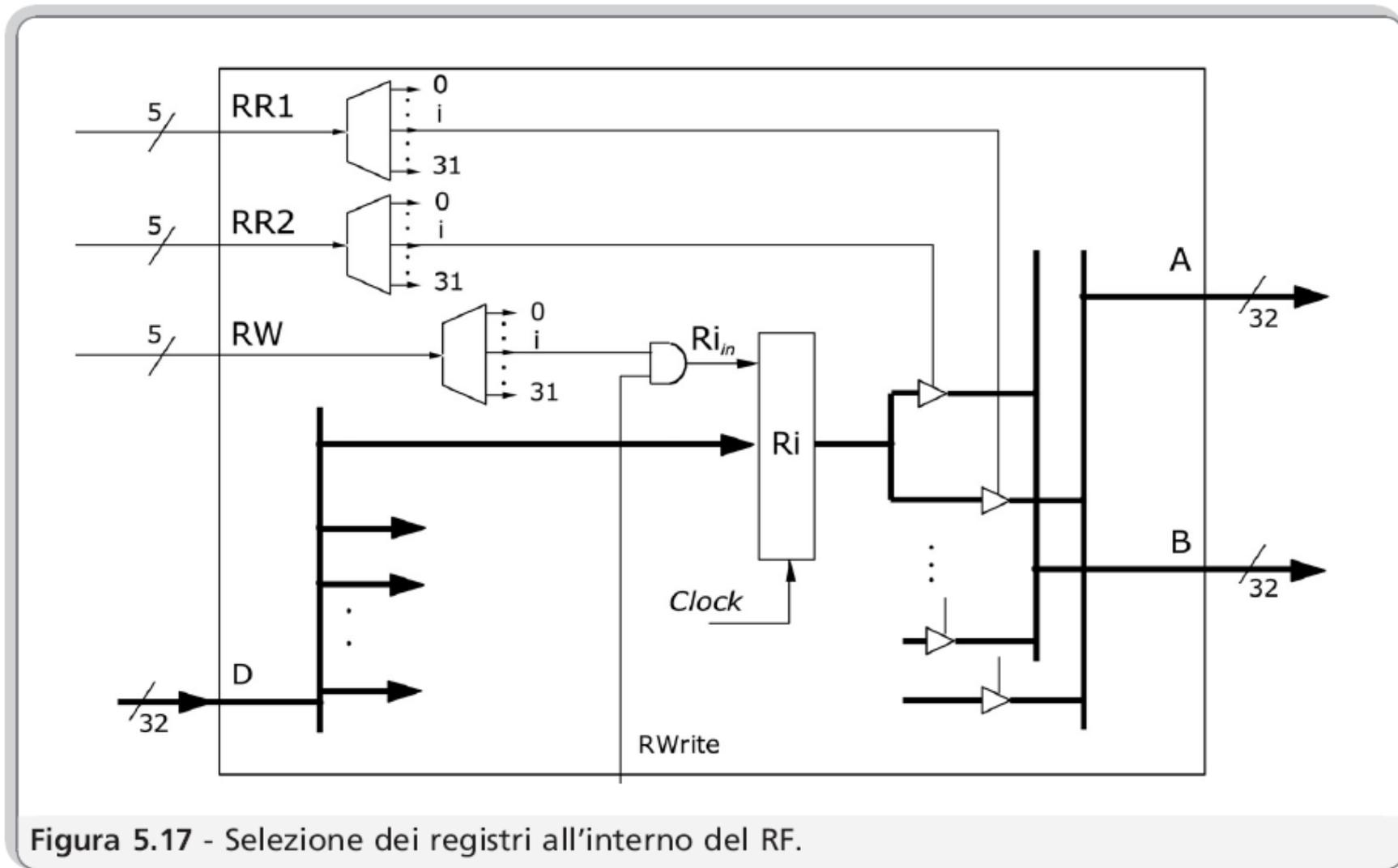


Figura 5.17 - Selezione dei registri all'interno del RF.